

1. 特性

- 4 通道同步采样 ADC
- 74.8dB SNR
- 90dB SFDR
- 低功耗：636mW（总值），159mW（每通道）
- 1.8V 单电压供电
- 串行 LVDS 输出：每个通道 1 路或 2 路
- 可选输入范围：1 V_{p-p} 至 2 V_{p-p}
- 800MHz 满功率带宽 S/H（采样及保持）
- Sleep 和 Nap 模式
- 串行 SPI 端口用于编程配置
- 52 管脚（7mm×8mm）LGA 封装

2. 应用

- 通信
- 蜂窝基站
- 软件定义无线电
- 便携医学成像
- 多通道数据采集
- 无损测试

3. 概述

GAD2175 是一款 4 通道、同步采样 14 位 ADC 转换器，专为高频且宽动态范围的信号进行数字化处理而设计。其动态性能指标高达 74dB 信噪比（SNR）和 90dB 无杂散动态范围（SFDR）。其静态性能指标达到 $\pm 1\text{LSB}$ INL（典型值）， $\pm 0.3\text{LSB}$ DNL（典型值）和无失码。转换噪声低至 $1.2\text{LSB}_{\text{RMS}}$ 。

数字输出为串行 LVDS，最大限度地减少了数据线的数量。每个 ADC 通道可以选择在标称采样速率通过两路 LVDS 输出（“双通道”模式）或在较低采样速率条件下通过一路 LVDS 输出（“单通道”模式）。

编码时钟输入端 ENC^+ 和 ENC^- 的信号源可以是正弦波、PECL、LVDS 或 TTL，信号驱动模式均为差分驱动。芯片内部集成一个时钟占空比稳定器，使其在全速时钟频率下即便面对较大的占空比波动范围时亦能保证优异的整体性能。

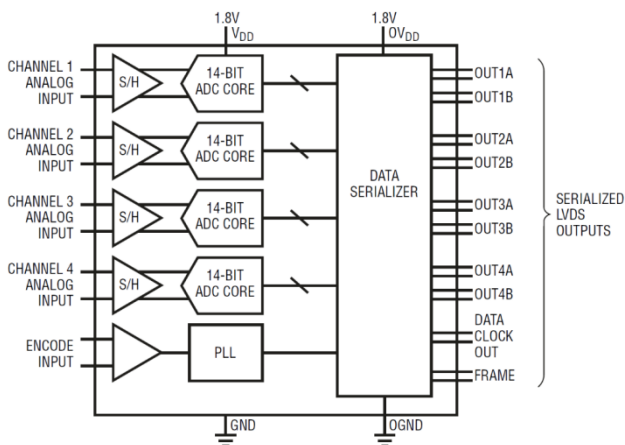


图 1 功能框图

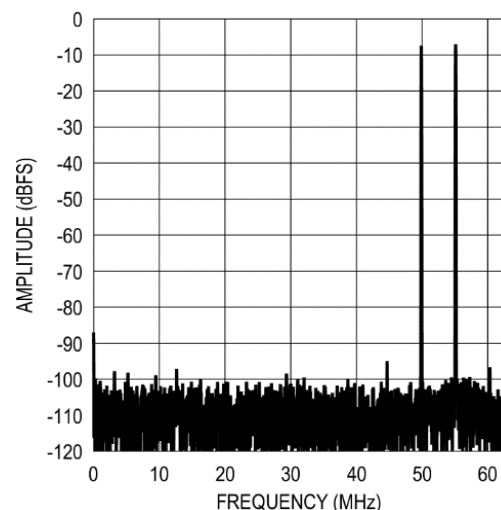


图 2 125MSPs, 双音调 FFT $F_m=70\text{MHz}$ 和 75MHz

目 录

1. 特性1

2. 应用1

3. 概述1

4. 管脚功能3

5. 绝对最大额定值.....5

6. 模拟电气特性5

7. 数字输入/输出7

8. 电源要求8

9. 时序特性8

10. 时序图10

11. 典型性能.....12

12. 应用信息.....13

13. 寄存器表.....21

14. 典型应用.....22

15. 封装描述.....25

16. 订购信息.....26

17. 修订记录.....26

4. 管脚功能

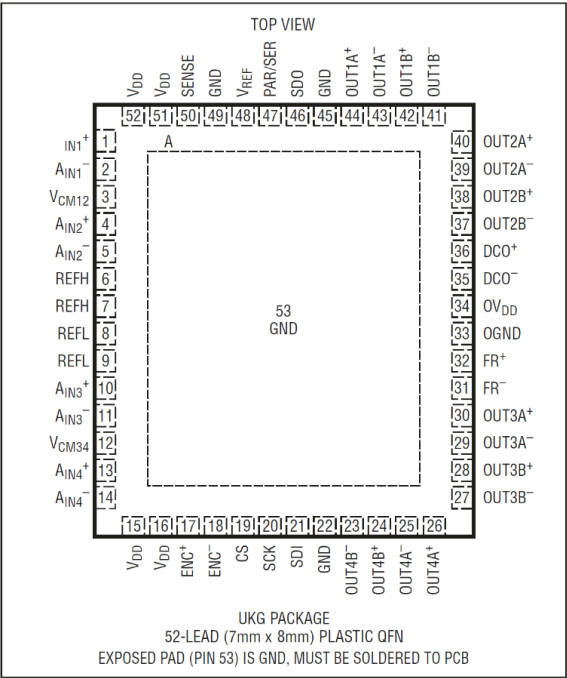


图 3 LGA 封装 52-pin 正面视图

管脚		管脚 类型	描述
名称	序号		
A _{IN1} ⁺	1	输入	通道 1 正差分模拟输入
A _{IN1} ⁻	2	输入	通道 1 负差分模拟输入
V _{CM12}	3	输出	共模偏置输出，其标称值等于 V _{DD} /2。应采用 V _{CM} 对通道 1 和 2 的模拟输入的共模进行偏置。利用一个 0.1μF 陶瓷电容器旁路至地。
A _{IN2} ⁺	4	输入	通道 2 正差分模拟输入
A _{IN2} ⁻	5	输入	通道 2 负差分模拟输入
REFH	6、7	输出	ADC 高电平基准。利用一个 2.2μF 陶瓷电容器旁路至管脚 8、9，并通过一个 0.1μF 陶瓷电容器旁路至地。
REFL	8、9	输出	ADC 低电平基准。利用一个 2.2μF 陶瓷电容器旁路至管脚 6、7，并通过一个 0.1μF 陶瓷电容器旁路至地
A _{IN3} ⁺	10	输入	通道 3 正差分模拟输入
A _{IN3} ⁻	11	输入	通道 3 负差分模拟输入
V _{CM34}	12	输出	共模偏置输出，其标称值等于 V _{DD} /2。应采用 V _{CM} 对通道 3 和 4 的模拟输入的共模进行偏置。利用一个 0.1μF 陶瓷电容器旁路至地
A _{IN4} ⁺	13	输入	通道 4 正差分模拟输入
A _{IN4} ⁻	14	输入	通道 4 负差分模拟输入
V _{DD}	15、16、 51、52	电源	1.8V 模拟电源。利用一个 0.1μF 陶瓷电容将该管脚旁路至地。相邻的管脚可以共用一个旁路电容器
ENC ⁺	17	输入	编码时钟差分正极输入。转换操作在上升沿起动
ENC ⁻	18	输入	编码互补输入。转换操作在下降沿起动
$\overline{\text{CS}}$	19	输入	在串行编程模式中，(PAR/SER = 0V)， $\overline{\text{CS}}$ 是串行接口芯片选择输入。当 $\overline{\text{CS}}$ 为低电平时，SCK 被使能，以将 SDI 上的数据移入模式控制寄存器。在并行编程模式中，(PAR/SER = V _{DD})， $\overline{\text{CS}}$ 负责选择双通道或单通道输出模式。 $\overline{\text{CS}}$ 可以采用 1.8V 至 3.3V 逻辑电路来驱动

管脚		管脚 类型	描述
名称	序号		
SCK	20	输入	在串行编程模式中, ($\overline{\text{PAR/SER}} = 0\text{V}$), SCK 是串行接口时钟输入。在并行编程模式中($\overline{\text{PAR/SER}} = V_{\text{DD}}$), SCK 负责选择 3.5mA 或 1.75mA LVDS 输出电流。SCK 可以采用 1.8V 至 3.3V 逻辑电路来驱动
SDI	21	输入	在串行编程模式中, ($\overline{\text{PAR/SER}} = 0\text{V}$), SDI 是串行接口数据输入。SDI 上的数据在 SCK 的上升沿定时 输入模式控制寄存器。在并行编程模式中($\overline{\text{PAR/SER}} = V_{\text{DD}}$), SDI 可用于使器件断电。SDI 可以采用 1.8V 至 3.3V 逻辑电路来驱动
GND	22、45、 49、53	接地	ADC 电源地。应在靠近这些管脚的地方使用多个过孔。裸露衬垫 (管脚 41) 必须焊接至 PCB 的地
OUT4B ⁻	23	输出	通道 4 的串行数据 LVDS 输出 B 路负极。在双通道输出模式下有效
OUT4B ⁺	24	输出	通道 4 的串行数据 LVDS 输出 B 路正极。在双通道输出模式下有效
OUT4A ⁻	25	输出	通道 4 的串行数据 LVDS 输出 A 路负极。
OUT4A ⁺	26	输出	通道 4 的串行数据 LVDS 输出 A 路正极。
OUT3B ⁻	27	输出	通道 3 的串行数据 LVDS 输出 B 路负极。在双通道输出模式下有效
OUT3B ⁺	28	输出	通道 3 的串行数据 LVDS 输出 B 路正极。在双通道输出模式下有效
OUT3A ⁻	29	输出	通道 3 的串行数据 LVDS 输出 A 路负极。
OUT3A ⁺	30	输出	通道 3 的串行数据 LVDS 输出 A 路正极。
FR ⁻	31	输出	帧差分输出, 负极
FR ⁺	32	输出	帧差分输出, 正极
OGND	33	接地	输出驱动器地。此管脚必须通过一条非常低电感的通路短路至接地平面。应在靠近该管脚的地方采用多个过孔
OV _{DD}	34	电源	输出驱动器电源。利用一个 0.1μF 陶瓷电容器旁路至地
DCO ⁻	35	输出	数据时钟差分输出, 负极
DCO ⁺	36	输出	数据时钟差分输出, 正极
OUT2B ⁻	37	输出	通道 2 的串行数据 LVDS 输出 B 路负极。在双通道输出模式下有效
OUT2B ⁺	38	输出	通道 2 的串行数据 LVDS 输出 B 路正极。在双通道输出模式下有效
OUT2A ⁻	39	输出	通道 2 的串行数据 LVDS 输出 A 路负极。
OUT2A ⁺	40	输出	通道 2 的串行数据 LVDS 输出 A 路正极。
OUT1B ⁻	41	输出	通道 1 的串行数据 LVDS 输出 B 路负极。在双通道输出模式下有效
OUT1B ⁺	42	输出	通道 1 的串行数据 LVDS 输出 B 路正极。在双通道输出模式下有效
OUT1A ⁻	43	输出	通道 1 的串行数据 LVDS 输出 A 路负极。
OUT1A ⁺	44	输出	通道 1 的串行数据 LVDS 输出 A 路正极。
SDO	46	输出	在串行编程模式中, ($\overline{\text{PAR/SER}} = 0\text{V}$), SDO 是任选串行接口数据输出。SDO 上的数据从模式控制寄存器读回, 并可锁存于 SCK 的下降沿上。SDO 是一个漏极开路 NMOS 输出, 需要一个外部 2k 上拉电阻器将电平从 1.8V 拉至 3.3V。如果不需要从模式控制寄存器进行回读, 那么上拉电阻器就不是必需的, SDO 可被置于未连接状态。在并行编程模式中 ($\overline{\text{PAR/SER}} = V_{\text{DD}}$), SDOA 是一个输入, 负责使能数字输出端上的内部 100Ω 终端电阻器。当被用作一个输入时, SDO 可以采用 1.8V 至 3.3V 逻辑电路通过一个 1k 串联电阻器来驱动。
$\overline{\text{PAR/SER}}$	47	输入	编程模式选择管脚。将该管脚连接至地 可使能串行编程模式。 $\overline{\text{CS}}$ 、SCK、SDI、SDO 变成一个用于控制 ADC 操作模式的串行接口。把 该管脚连接至 V_{DD} 将使能并行编程模式, 此时 $\overline{\text{CS}}$ 、SCK、SDI、SDO 变成并行逻辑输入, 用于控制一组精简的 ADC 操作模式。 $\overline{\text{PAR/SER}}$ 应直接连接至地或器件的 V_{DD} , 且不得采用一个逻辑信号进行驱动
V _{REF}	48	输出	基准电压输出。利用一个 1μF 陶瓷电容器 (标称电压为 1.25V) 旁路至地
SENSE	50	输入	基准编程管脚。把 SENSE 管脚连接至 V_{DD} 将选择内部基准和一个 ±1V 输入范围。将 SENSE 管脚连接至地选择的是内部基准和一个 ±0.5V 输入范围。给 SENSE 管脚施加一个介于 0.625V 和 1.3V 之间的外部基准将选择一个 ±0.8V•V _{SENSE} 的输入范围

表 1

5. 绝对最大额定值

参数	范围	单位
电源电压 V_{DD} , OV_{DD}	-0.3~2	V
模拟输入电压 (A_{IN+} , A_{IN-} , PAR/SER , $SENSE$) (注3)	-0.3~ $V_{DD} + 0.2$	V
数字输入电压 (ENC^+ , ENC^- , CS , SDI , SCK) (注4)	-0.3~3.9	V
数字输出电压 (SDO) (注 4)	-0.3~3.9	V
数字输出电压	-0.3~ $OV_{DD}+0.3$	V
工作温度范围	-40~85	°C
贮存温度范围	-65~150	°C
θ_{JA} 热阻	28	°C/W
$V_{(ESD)}$ 静电放电	2000	V

表 2 (注1、2)

6. 模拟电气特性

6.1 静态特性

凡标注●表示该指针适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ (注5)。

符	参数	条件		最小值	典型值	最大值	单位
	分辨率 (无失码)		●	14			位
IN	积分非线性	差分模拟输入 (注 6)	●	-4	± 1	4	LSB
D	差分非线性	差分模拟输入	●	-0.9	± 0.3	0.9	LSB
V_O	失调误差	(注 7)	●	-12	± 6	12	mV
E_G	增益误差	内部基准	●		0.3		%FS
		外部基准	●	0	0.3	1	%FS
	失调漂移				± 20		$\mu\text{V}/^{\circ}\text{C}$
	全标度漂移	内部基准			± 35		ppm/ $^{\circ}\text{C}$
		外部基准			± 25		ppm/ $^{\circ}\text{C}$
	增益匹配	外部基准			± 0.2		%FS
	失调匹配				± 3		mV
	转换噪声	外部基准			1.2		LSB _{RMS}

表 3

6.2 模拟输入

凡标注●表示该指针适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ (注5)。

符号	参数	条件		最小值	典型值	最大值	单位
V_{IN}	模拟输入范围 ($A_{IN}^+ - A_{IN}^-$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●	1 至 2			V_{P-P}
$V_{IN(CM)}$	模拟输入共模 ($A_{IN}^+ + A_{IN}^-$)/2	差分模拟输入 (注 8)	●	$V_{CM}-100\text{mV}$	V_{CM}	$V_{CM}+100\text{mV}$	V
V_{SENSE}	施加 SENSE 外部电压基准	外部基准模式	●	0.625	1.25	1.3	V
I_{INCM}	模拟输入共模电流			155			μA
I_{IN1}	模拟输入漏电流 (无编码)		●	-1		1	μA
I_{IN2}	PAR/SER 输入漏电流		●	-3		3	μA
I_{IN3}	SENSE 输入漏电流	$1.7\text{V} < SENSE < 1.9\text{V}$	●	-6		6	μA
t_{AP}	采样及保持采集延迟时间			0			ns
t_{JITTER}	采样及保持采集延迟抖动			0.15			ps _{RMS}
CMRR	模拟输入共模抑制比			80			dB
BW-3B	满功率带宽	图 20 所示测试电路		800			MHz

表 4

6.3 动态准确度

凡标注●表示该指针适合整个工作温度范围，否则仅指T_A=25℃, A_{IN}=-1dBFS（注5）

符号	参数	条件	最小值	典型值	最大值	单位
SNR	信噪比	5MHz 输入	73.2	75.4		dBFS
		70MHz 输入		74.8		dBFS
		140MHz 输入		73.2		dBFS
SFDR	无杂散动态范围 二次或三次谐波	5MHz 输入	80	91		dBFS
		70MHz 输入		88		dBFS
		140MHz 输入		85		dBFS
	无杂散动态范围 四次或更高次谐波	5MHz 输入	88	94		dBFS
		70MHz 输入		94		dBFS
		140MHz 输入		94		dBFS
S/(N+D)	信号与“噪声+失真”之比	5MHz 输入	72.8	75.3		dBFS
		70MHz 输入		74.6		dBFS
		140MHz 输入		72.8		dBFS
	串扰，近通道	10MHz 输入（注 12）		-90		dBc
	串扰，远通道	10MHz 输入（注 12）		-100		dBc

表 5

6.4 内部基准源特性

参数	条件	最小值	典型值	最大值	单位
V _{CM} 输出电压	I _{OUT} =0	0.5•V _{DD} -25mV	0.5•V _{DD}	0.5•V _{DD} +25mV	V
V _{CM} 输出温度漂移		±25			ppm / °C
V _{CM} 输出电阻	-600μA < I _{OUT} < 1mA	4			Ω
V _{REF} 输出电压	I _{OUT} =0	1.225	1.250	1.275	V
V _{REF} 输出温度漂移		±25			ppm / °C
V _{REF} 输出电阻	-400μA < I _{OUT} < 1mA	7			Ω
V _{REF} 电压调节	1.7V < V _{DD} < 1.9V	0.6			mV/V

表 6

7. 数字输入/输出

凡标注●表示该指针适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ （注5）。

符号	参数	条件		最小值	典型值	最大值	单位
编码输入 ENC^+ , ENC^-							
差分编码模式 (ENC^- 未连接至 GND)							
V_{ID}	差分输入电压	(注 8)	●	0.2			V
V_{ICM}	共模输入电压	在内部设定	●		1.2		V
		在外部设定 (注 8)		1.1		1.6	V
V_{IN}	输入电压范围	ENC^+ , ENC^- 至 GND	●	0.2		3.6	V
R_{IN}	输入电阻	(见图 24)			12		k Ω
C_{IN}	输入电容				2.4		pF
数字输入 (CS, SDI, SCK 处于串行或并行编程模式。SDO 处于并行编程模式)							
V_{IH}	高电平输入电压	$V_{\text{DD}}=1.8\text{V}$	●	1.3			V
V_{IL}	低电平输入电压	$V_{\text{DD}}=1.8\text{V}$	●			0.6	V
I_{IN}	输入电流	$V_{\text{IN}}=0\text{V}$ 至 3.6V		-10		10	μA
C_{IN}	输入电容	(见图 24)			3		pF
SDO 输出 (串行编程模式。漏极开路输出。如果采用 SDO，则需要使用 2k Ω 上拉电阻器)							
R_{OL}	至 GND 的逻辑低电平输出电阻	$V_{\text{DD}}=1.8\text{V}$, $\text{SDO}=0\text{V}$			200		Ω
I_{OH}	逻辑高电平输出漏电流	$\text{SDO}=0\text{V}$ 至 3.6V	●	-10		10	μA
C_{OUT}	输出电容				3		pF
数字数据输出							
V_{DD}	差分输出电压	100 Ω 差分负载, 3.5mA 模式	●	247	350	454	mV
		100 Ω 差分负载, 1.75mA 模式	●	125	175	250	mV
V_{OS}	共模输出电压	100 Ω 差分负载, 3.5mA 模式	●	1.125	1.25	1.375	V
		100 Ω 差分负载, 1.75mA 模式	●	1.125	1.25	1.375	V
R_{TERM}	片内终端电阻	终端启用, $0V_{\text{DD}}=1.8\text{V}$			100		Ω

表 7

8. 电源要求

凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ （注9）。

符号	参数	条件		最小值	典型值	最大值	单位
V_{DD}	模拟电源电压	(注 10)	●	1.7	1.8	1.9	V
OV_{DD}	输出电源电压	(注 10)	●	1.7	1.8	1.9	V
I_{VDD}	模拟电源电流	正弦波输入	●		190		mA
I_{OVDD}	数字电源电流	双通道模式, 1.75mA 模式	●		50		mA
		双通道模式, 3.5mA 模式	●		57		mA
P_{DISS}	功率耗散	双通道模式, 1.75mA 模式	●		432		mW
		双通道模式, 3.5mA 模式	●		445		mW
P_{SLEEP}	Sleep 模式功耗				1		mW
P_{NAP}	Nap 模式功耗	编码输入信号启用			214		mW
		编码输入信号停用			76		mW
		编码时钟接收模块停用			43		mW

表 8

9. 时序特性

凡标注●表示该指标适合整个工作温度范围，否则仅指 $T_A=25^{\circ}\text{C}$ （注 5）。

符号	参数	条件		最小值	典型值	最大值	单位
f_s	采样频率	双通道模式 (注 10, 11)	●	80		125	MHz
		单通道模式 (注 10, 11)	●	40		62.5	MHz
t_{ENCL}	ENC 低电平时间 (注 8)	占空比稳定器关闭	●	3.8	4	100	ns
		占空比稳定器接通	●	2	4	100	ns
t_{ENCH}	ENC 高电平时间 (注 8)	占空比稳定器关闭	●	3.8	4	100	ns
		占空比稳定器接通	●	2	4	100	ns
t_{AP}	采样及保持采集延迟时间			0			ns

表 9

符号	参数	条件		最小值	典型值	最大值	单位
数字数据输出 ($R_{TERM} = 100\Omega$ 差分, $CL = 2pF$ 至 GND [在每个输出端上])							
t_{SER}	串行数据位周期	双通道, 14 位串行化		$1 / (7 \cdot f_s)$			s
t_{FRAME}	FR 至 DCO 延迟		●	$0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.7 \cdot t_{SER}$	s
t_{DATA}	DATA 至 DCO 延迟		●	$0.35 \cdot t_{SER}$	$0.5 \cdot t_{SER}$	$0.7 \cdot t_{SER}$	s
t_{PD}	传播延迟		●	$0.7n + 2 \cdot t_{SER}$	$1.1n + 2 \cdot t_{SER}$	$1.1n + 2 \cdot t_{SER}$	s
t_r	输出上升时间	数据, DCO, FR, 20%至 80%			0.17		ns
t_f	输出下降时间	数据, DCO, FR, 20%至 80%			0.17		ns
	DCO 逐周期抖动	$t_{SER} = 1nst$			60		ps _{p-p}
	流水线延迟				8		周期

表 10

符号	参数	条件		最小值	典型值	最大值	单位
SPI 端口定时 (注 8)							
t _{SCK}	SCK 周期	写模式	●	40			ns
		回读模式, C _{SDO} =20pF, R _{PULLUP} =2k	●	250			ns
t _S	$\overline{CS}$ 至 SCK 建立时间		●	5			ns
t _H	SCK 至 $\overline{CS}$ 建立时间		●	5			ns
t _{DS}	SDI 建立时间		●	5			ns
t _{DH}	SDI 保持时间		●	5			ns
t _{DO}	SCK 下降至 SDO 有效	回读模式, C _{SDO} =20pF, R _{PULLUP} =2k	●			125	ns

表 11

备注:

注 1: 高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损害。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

注 2: 所有的电压值均以GND为基准 (GND和OGND短接, 除非另有说明)。

注 3: 当这些引脚的电压被拉至GND以下或VDD以上时, 它们将被内部二极管所箝位。在低于GND或高于VDD的情况下, 本产品能处理大于100mA的输入电流, 且不会发生锁断。

注 4: 当这些引脚的电压被拉至GND以下时, 它们将被内部二极管所箝位。当这些引脚的电压被拉至VDD以上时, 它们将不会被内部二极管所箝位。在低于GND的情况下, 本产品能处理大于100mA的输入电流, 且不会发生闩锁。

注 5: V_{DD}=OV_{DD}=1.8V, f_{SAMPLE}=125MHz, 双通道输出模式, 差分ENC⁺/ENC⁻=2V_{P-P}正弦波, 输入范围=2V_{P-P} (采用差分驱动), 除非另有注明。

注 6: 积分非线性被定义为一个代码相对一根传输函数曲线的最佳拟合直线的偏离程度。该偏离是以量化频带的中心为起点进行测量的。

注 7: 偏移误差是输出代码在00 0000 0000 0000和11 1111 1111 1111之间摆动时 (采用二进制补码输出模式) 以-0.5 LSB为起点所测得的偏移电压。

注 8: 由设计提供保证, 未经测试。

注 9: V_{DD}=OV_{DD}=1.8V, f_{SAMPLE}=125MHz, 双通道输出模式, ENC⁺=单端 1.8V方波, ENC⁻=0V, 输入范围=2V_{P-P} (采用差分驱动), 除非另有注明。电源电流和功耗规范是整个芯片 (而不是每个通道) 的总值。

注 10: 推荐的工作条件。

注 11: 最大采样频率取决于器件的速度等级以及所使用的串行化模式。最大串行数据速率为1000Mbps, 因此t_{SER}必须大于或等于1ns。

注 12: 近信道串扰指的是信道 1 至信道 2 以及信道 3 至信道 4。远信道串扰指的是信道 1 至信 3 或 4、信道 2 至信道 3 或 4。

10. 时序图

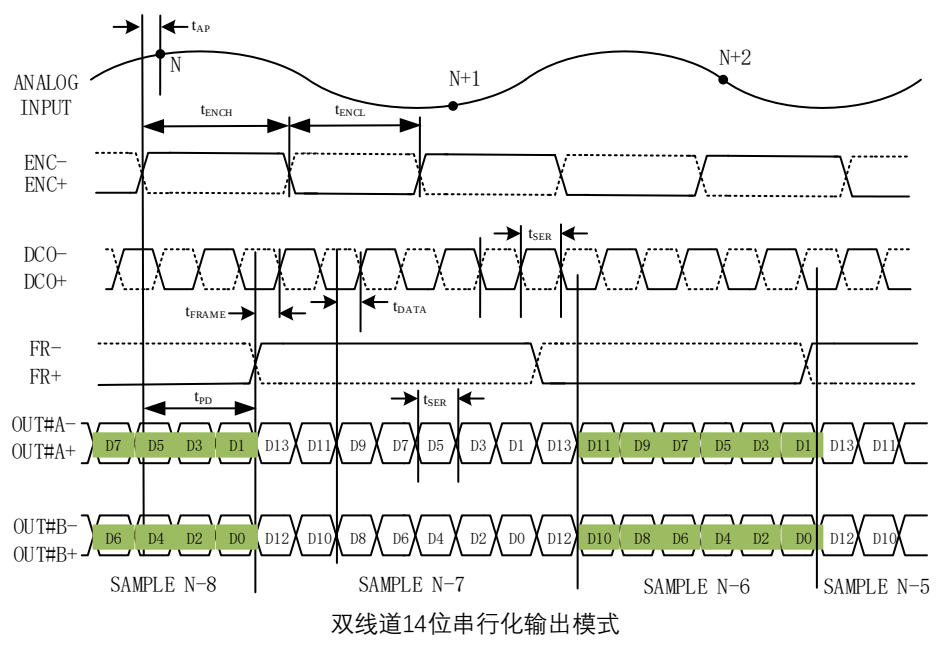


图 4 双通道 14 位串行化输出模式

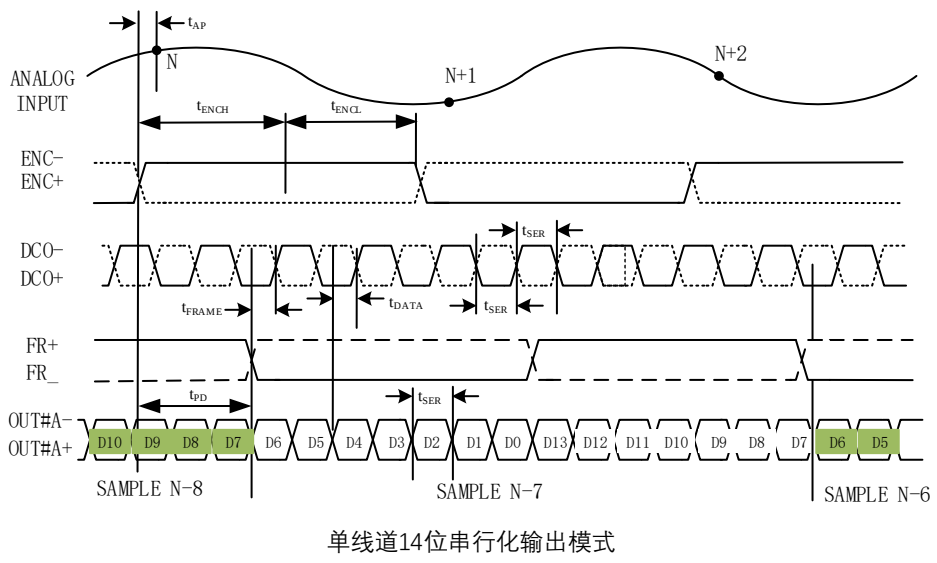


图 5 单通道 14 位串行化输出模式

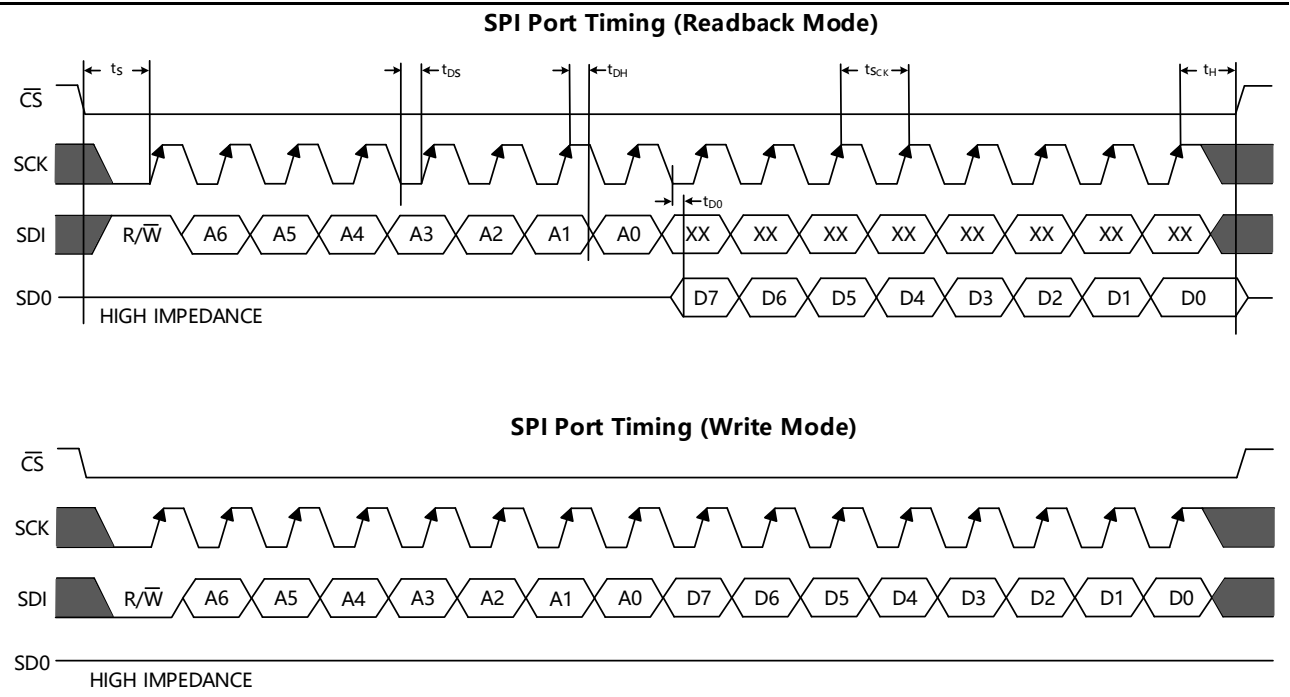


图 6 SPI 端口读写时序

11. 典型性能

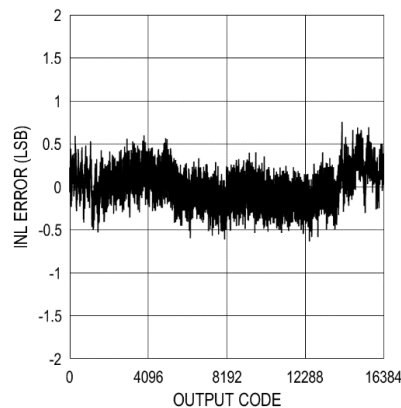


图 7
积分非线性 (INL)

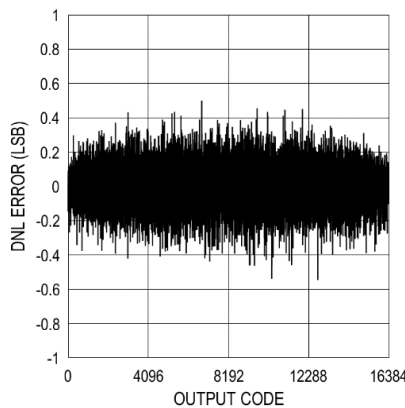


图 8
差分非线性(DNL)

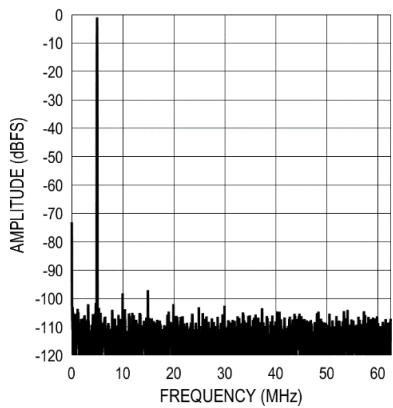


图 9
8k 点 FFT, $f_{IN} = 5\text{MHz}$,
-1dBFS, 125Msps

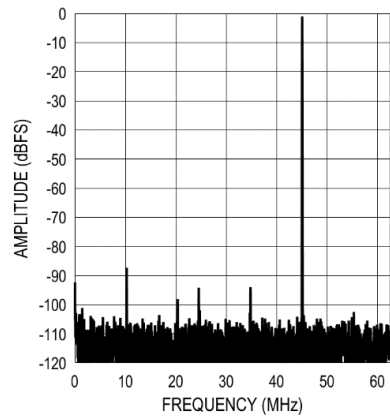


图 10
8k 点 FFT, $f_{IN} = 45\text{MHz}$,
-1dBFS, 125Msps

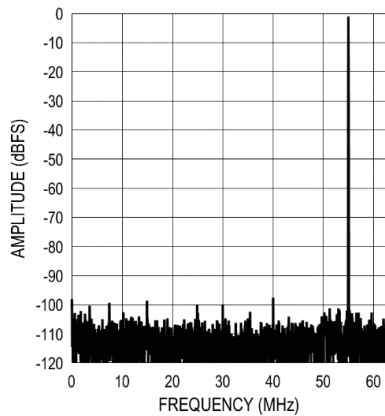


图 11
8k 点 FFT, $f_{IN} = 70\text{MHz}$,
-1dBFS, 125Msps

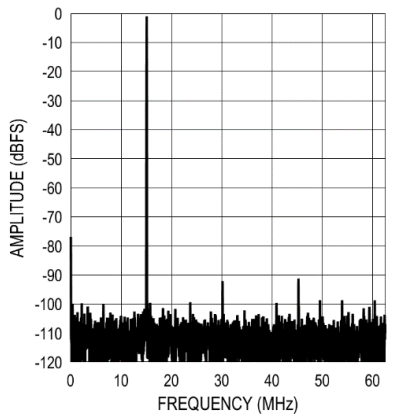


图 12
8k 点 FFT, $f_{IN} = 140\text{MHz}$,
-1dBFS, 125Msps

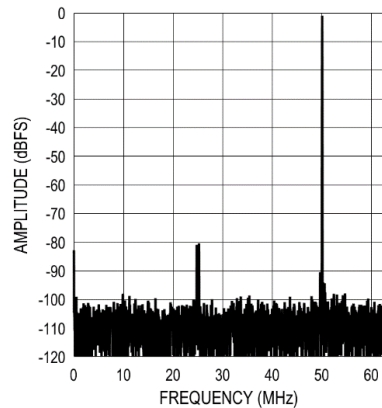


图 13
8k 点 FFT, $f_{IN} = 300\text{MHz}$,
-1dBFS, 125Msps

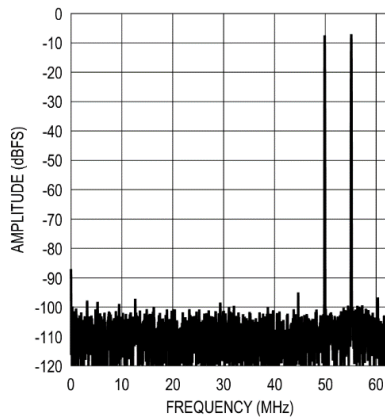


图 14
8k 点双音调 FFT, $f_{IN} = 70\text{MHz}$,
75MHz, -1dBFS, 125Msps

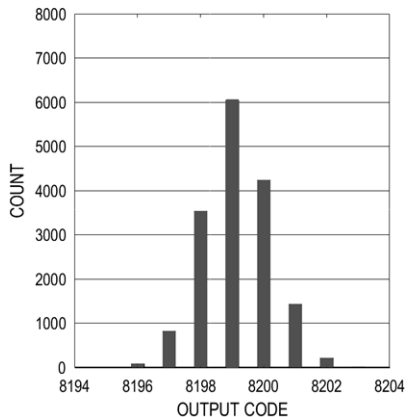


图 15
短路输入直方图

12. 应用信息

12.1 模拟输入

模拟输入为差分CMOS采样及保持电路（图16）。应以一个由 V_{CM} 输出管脚设定的共模电压（标称值为 $V_{DD}/2$ ）对输入进行差分驱动。对于2V输入范围，输入信号应在 $V_{CM}-0.5V$ 至 $V_{CM}+0.5V$ 之间摆动。差分两端输入之间应存在180°的相位差。4个通道共用一个编码时钟电路同时进行采样（图16）。

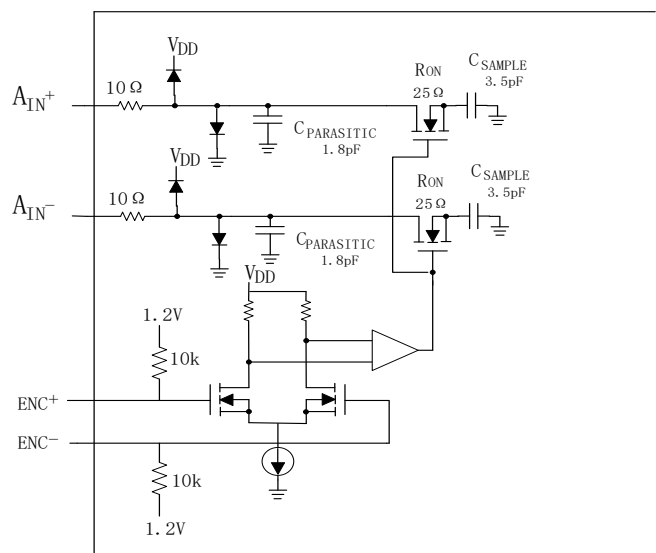


图 16 等效输入电路（仅示意了 4 个模拟通道之一）

12.2 输入驱动电路

12.2.1 输入滤波

如果可能的话，应当在模拟输入端上直接布设一个RC低通滤波器。该低通滤波器将驱动电路与ADC采样及保持开关隔离开来，而且还可遏止宽带噪声对驱动电路产生干扰。图17 示出了输入RC滤波器的实例。RC 组件的参数值应根据应用电路的输入频率来选择。

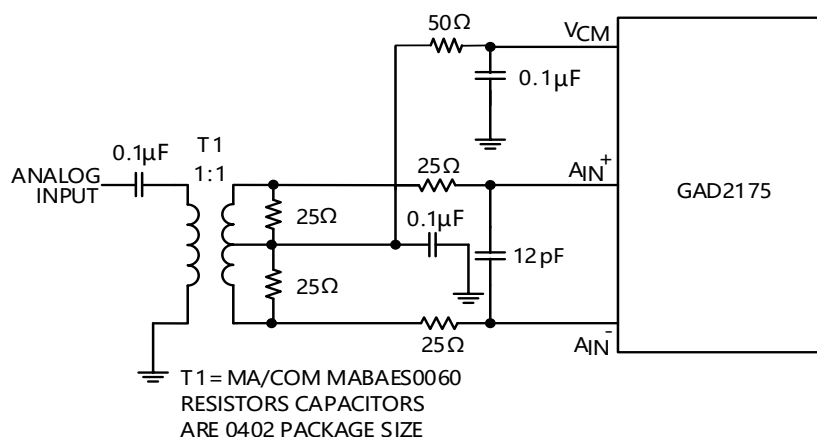


图17 采用一个变压器的模拟输入电路（推荐用于5MHz至70MHz的输入电路）

12.2.2 变压器耦合电路

图17示出了由一个带中心抽头副端绕组的RF变压器驱动的模拟输入。由 V_{CM} 对中心抽头施加偏置，并将ADC输入设定于其最佳的DC电平。在较高的输入频率下，传输线平衡-不平衡变压器（图18至图20）具有更好的平衡特性，可降低ADC失真。

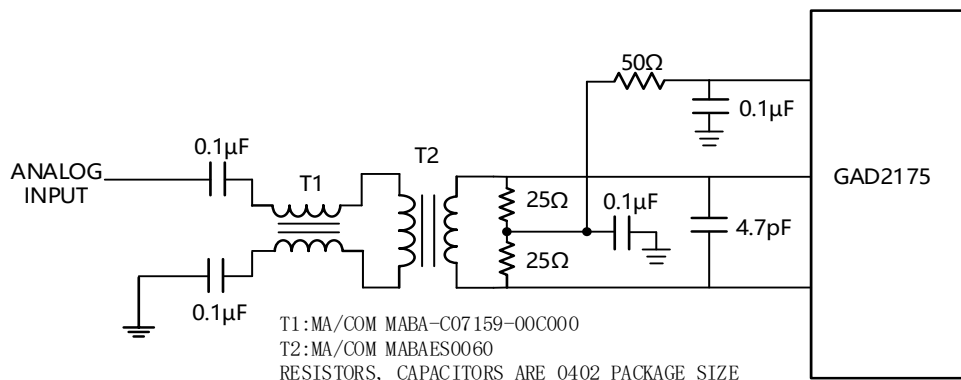


图18 针对70MHz至170MHz输入频率的推荐前端电路

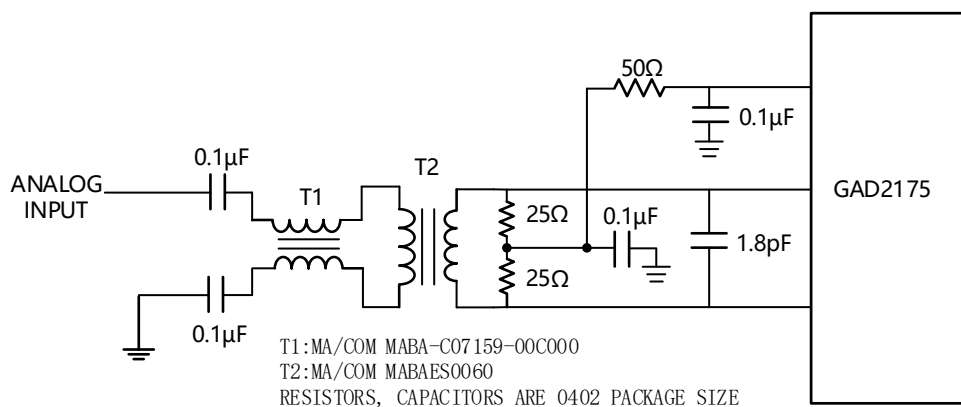


图19 针对170MHz至300MHz输入频率的推荐前端电路

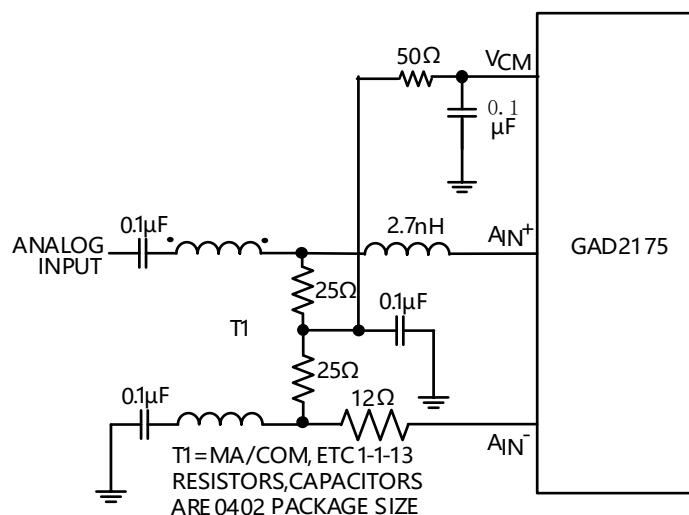


图20 针对高于300MHz输入频率的推荐前端电路

12.2.3 放大器电路

图21示出了由一个高速差分放大器驱动的模拟输入。放大器的输入被AC耦合到ADC，因而可对放大器的输出共模信号进行最优设定以尽量降低失真。

在非常高的频率下，RF 增益部件的失真比差分放大器的小。如果增益部件为单端型，则应通过一个变压器电路（图18至图20）在驱动ADC前将信号转换为差分型。

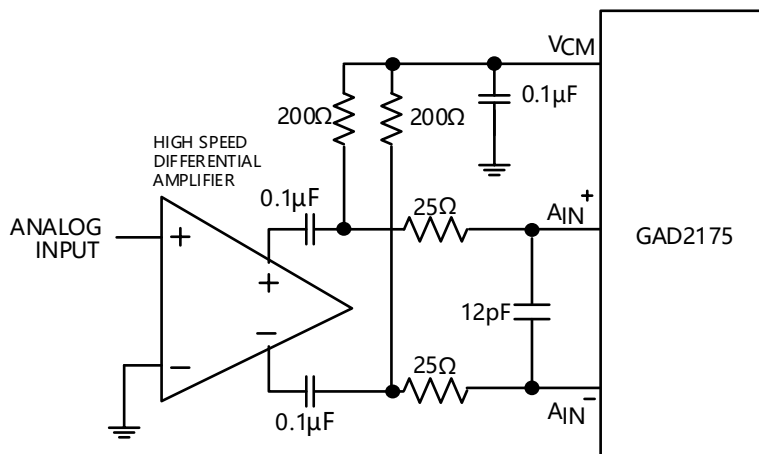


图21 采用一个高速差分放大器的前端电路

12.3 基准

GAD2175具有一个内部1.25V电压基准。当选择基于内部基准的2V输入范围，需将SENSE管脚接至 V_{DD} 。当选择基于内部基准的1V输入范围，需将SENSE管脚接地。当选择基于外部基准的2V输入范围，则需在SENSE管脚接一个1.25V基准电压（图23）。对SENSE管脚施加一个介于0.625V和1.30V之间的电压可以调节输入范围，相应的输入范围将为 $1.6 \cdot V_{SENSE}$ 。

ADC的4个通道共用一个基准，因而无法单独调节每个通道的输入范围。

应如图22所示对 V_{REF} 、REFH和REFL管脚进行旁通。REFH和REFL之间的0.1μF电容应尽量靠近管脚（而不是位于电路板的）

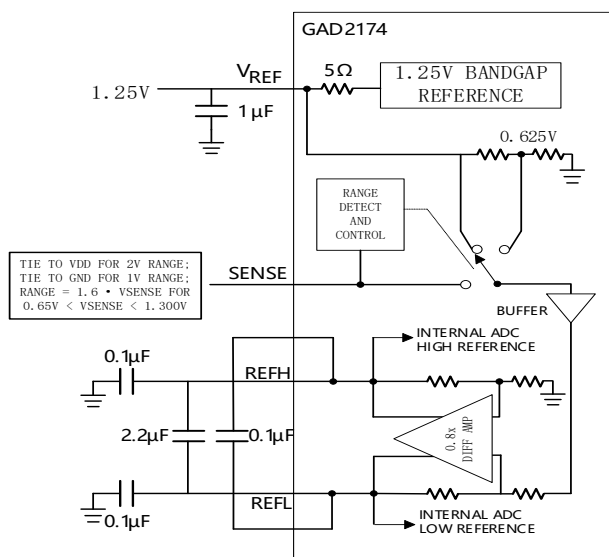


图22 基准电路

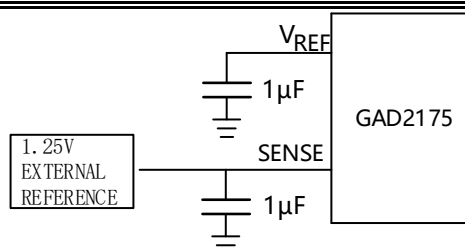


图23 采用外部1.25V基准

12.4 编码时钟输入

编码时钟输入的信号质量显著地影响着ADC的噪声性能。编码输入应被视为模拟信号，其PCB上的布线不能邻近数字信号的走线。编码输入有两种模式：差分编码模式（图24）和单端编码模式（图25）。

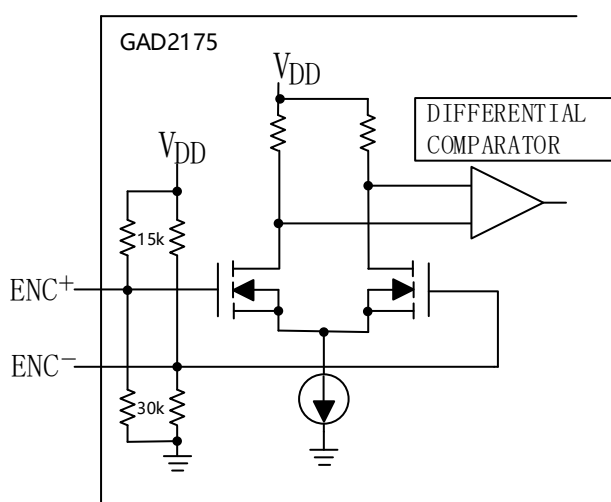


图24 用于差分编码模式的等效编码输入电路

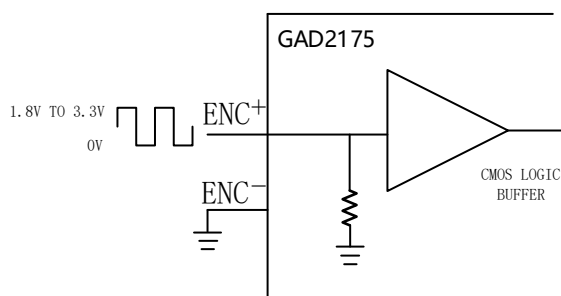


图25 用于单端编码模式的等效编码输入电路

针对正弦、PECL或LVDS形式的编码输入，推荐采用差分编码模式（图26和图27）。编码输入的管脚在芯片内部通过10k等效电阻被偏置在1.2V。外部施加的编码输入信号可高于 V_{DD} （最高可达3.6V），同时其共模电压范围应为1.1V至1.6V。并且在差分编码模式中，ENC⁻应至少比地电位高出200mV，以免误触发单端编码模式。为了减小抖动影响，ENC⁺应具有快速上升和下降时间。

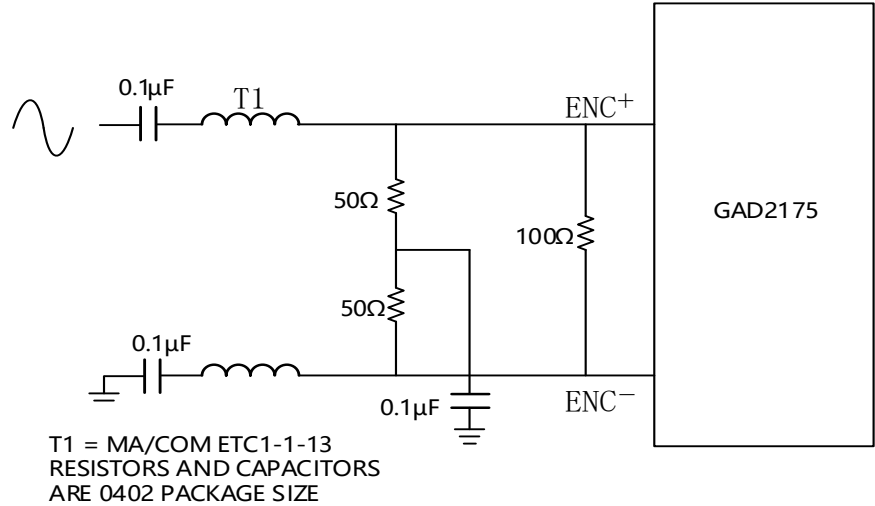


图26 正弦编码驱动

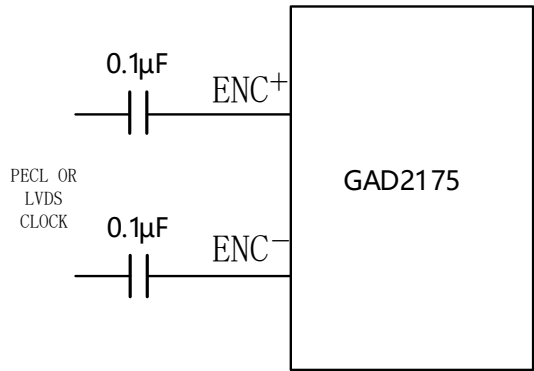


图27 PECL或LVDS编码驱动

12.5 时钟 PLL 和占空比稳定器

编码时钟在芯片内部经由一个锁相环（PLL）进行倍频，继而以此倍频时钟产生串行数字输出数据。每当编码信号改变频率或被关断，PLL需要25μs的时间重新与输入时钟锁定频率和相位。

内部的时钟占空比稳定器电路允许所施加的编码信号的占空比在30%至70%之间变化。在串行编程模式中，虽然可以停用占空比稳定器，但不建议这样做。在并行编程模式中，占空比稳定器始终被使能。

12.6 数字输出

GAD2175的数字输出是串行化LVDS信号。数据采用14位串行化处理(详见时序图)。每个ADC通道经由A、B两路LVDS串行端口一次输出两个比特位（“双通道”模式），亦可选择在较低采样速率条件下仅经由一路LVDS串行端口输出一个比特位（“单通道”模式）。两种模式均采用双倍速率（DDR）的格式来倍增输出效率。

DDR输出数据应在数据时钟输出（DCO）的上升和下降沿上被主控处理器锁存。数据帧输出（FR）可用于判定来每一次转换结果的数据输出的起始点。

ADC的125MHz最高采样速率决定了数据输出的最高串行数据速率为875Mbps，同时DCO达到437.5MHz的最高频率（见表13）。

模式	最大采样率 f_s (MHz)	DCO频率	FR 频率	串行数据速率
双通道	125	$3.5 \cdot f_s$	$0.5 \cdot f_s$	$7 \cdot f_s$
单通道	62.5	$7 \cdot f_s$	f_s	$14 \cdot f_s$

表13 串行化模式下最大采样率

按照默认设置，数字输出为标准的LVDS电平：即3.5mA输出电流和一个1.25V输出共模电压。每对LVDS输出需要一个外部100Ω差分终端电阻器。终端电阻器的布设尽可能靠近LVDS的接收器。

数字输出由 OV_{DD} 和 OGND 供电（OV_{DD} 和 OGND 与 ADC 内核电源和地是隔离的）。

12.6.1 可编程 LVDS 输出电流

输出驱动器电流的默认值为 3.5mA。在串行编程模式中，可通过控制寄存器A2调节该电流。可配置的电流值为 1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mA 和 4.5mA。在并行编程模式中，SCK管脚可选择3.5mA或1.75mA电流值。

12.6.2 可选配的 LVDS 驱动器内部终端

在大多数场合，片外一个100Ω终端电阻即可提供卓越的LVDS信号完整性。此外，通过模式串行编程控制寄存器A2可以使能一个内部100Ω终端电阻。内部终端有助于吸收由于接收器端的不良终接所引起的反射。当内部终端被使能时，输出驱动电流需加倍以保持相同的输出电压摆幅。在并行编程模式中，SDO管脚负责使能内部终端。内部终端只应在1.75mA、2.1mA或2.5mA LVDS输出电流模式下使用。

12.6.3 数据格式

表14说明了仿真输入电压与数字数据输出位之间的关系。按照默认设置，输出数据格式为偏移二进制。通过对模式控制寄存器 A1 进行串行编程，可以选择二进制补码格式。

(A _{IN} ⁺ -A _{IN} ⁻) (2V范围)	D13-D0 (偏移二进制)	D13-D0 (二进制补码)
>1.000000V	11 1111 1111 1111	01 1111 1111 1111
+0.999878V	11 1111 1111 1111	01 1111 1111 1111
+0.999756V	11 1111 1111 1110	01 1111 1111 1110
+0.000122V	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	10 0000 0000 0000	00 0000 0000 0000
-0.000122V	01 1111 1111 1111	11 1111 1111 1111
-0.000244V	01 1111 1111 1110	11 1111 1111 1110
-0.999878V	00 0000 0000 0001	10 0000 0000 0001
-1.000000V	00 0000 0000 0000	10 0000 0000 0000
<-1.000000V	00 0000 0000 0000	10 0000 0000 0000

表14 输出代码与输入电压的关系

12.6.4 数字输出随机函数发生器

来自ADC数字输出的干扰有时是不可避免的。数字干扰有可能来自电容性或电感性耦合，或者通过接地平面的耦合。即使是微小的耦合系数也会在ADC输出频谱中引起不希望有的音调。通过在数字输出被传送至芯片外之前对数字输出进行随机处理，即可实现此类无用音调的随机化，从而减小其幅度。

通过在 LSB 与其他所有数据输出位之间执行“异或”逻辑运算，可以对数字输出进行随机化处理。如需进行译码，则运用逆运算，即在 LSB 与其他所有位之间执行“异或”运算。FR 和 DCO 输出不受影响。输出随机函数发生器通过对模式控制寄存器 A1 进行串行编程来使能。

12.6.5 数字输出测试模式

如欲对至ADC的数字接口进行线路内测试，可采用一种测试模式将所有信道的ADC数据输出（D13-D0）强制为已知数值。该数字输出测试模式通过对模式控制寄存器A3和A4进行串行编程来使能。当被使能时，测试模式的优先级将高于所有

其他的格式化模式：二进制补码和随机函数发生器。

12.6.6 输出停用

可以通过对模式控制寄存器 A2 进行串行编程来停用数字输出。用于所有数字输出（包括 DCO 和 FR）的电流驱动器均被停用，以节省功耗或使能线路内测试。被停用时，每对输出的共模变至高阻抗，但差分阻抗可以保持低水平。

12.7 Sleep 和 Nap 模式

可以把 ADC 置于 Sleep 或 Nap 模式以节省功率。在 Sleep 模式中整个芯片被断电，从而实现了 1mW 的功耗。Sleep 模式由模式控制寄存器 A1（串行编程模式）或 SDI（并行编程模式）使能。从 Sleep 模式恢复所需的时间长度取决于 VREF、REFH 和 REFL 上的旁路电容器的大小。就图 22 中的建议参数值而言，ADC 将在 2ms 之后实现稳定。

在 Nap 模式中，可以对任意的 ADC 信道组合实施断电，同时内部基准电路与 PLL 则保持运行状态，从而实现快于 Sleep 模式的唤醒速度。从 Nap 模式的恢复需要至少 100 个时钟周期。如果应用需要非常准确的 DC 稳定，则应提供额外的 50μs 时间以使片内基准能够从轻微的温度漂移（因电源电流在 ADC 脱离 Nap 模式时发生变化而引起）实现稳定。在串行编程模式中，Nap 模式由模式寄存器 A1 使能。

12.8 器件编程模式

GAD2175 的操作模式可以利用一个并行接口或一个简单的串行接口进行设置。串行接口具有更大的灵活性，并能设置所有的可用模式。并行接口的局限性较大，只能设置某些更加常用的模式。

12.8.1 并行编程模式

如需采用并行编程模式，则应将 PAR/SER 连接至 V_{DD}。CS、SCK、SDI 和 SDO 管脚是负责设定某些操作模式的二进制逻辑输入。这些管脚可以连接至 V_{DD} 或地，或者由 1.8V、2.5V 或 3.3V CMOS 逻辑电路驱动。当被用作一个输入时，SDO 应通过一个 1k 串联电阻器驱动。表 15 列出了利用 CS、SCK、SDI 和 SDO 设定的模式。

引脚	描述
CS	双通道 / 单通道选择位 0 = 双通道，14 位串行化输出模式 1 = 单通道，14 位串行化输出模式
SCK	LVDS 电流选择位 0 = 3.5mA LVDS 电流模式 1 = 1.75mA LVDS 电流模式
SDI	断电控制位 0 = 正常操作 1 = Sleep 模式
SDO	内部终端电阻选择位 0 = 内部终端电阻被停用 1 = 内部终端电阻被使能

表 15 并行编程模式控制位 (PAR/SER = V_{DD})

12.8.2 串行编程模式

如欲采用串行编程模式，则应把 PAR/SER 连接至地。CS、SCK、SDI 和 SDO 管脚变成了一个用于设置 ADC 模式控制寄存器的串行接口。数据和一个 16 位串行字被写至一个寄存器。也可从一个寄存器读回数据以验证其内容。

串行数据传送在 CS 被拉至低电平时起。SDI 管脚上的数据被锁存于 SCK 的首 16 个上升沿。首 16 个上升沿之后的所有 SCK 上升沿均被忽略。当 CS 被重新拉至高电平时，串行数据传送结束。

16 位输入字的第一个位是 R/W 位。接着 7 位是寄存器的地址位 (A6:A0)。最后 8 位是寄存器数据位 (D7:D0)。

假如 $R/\overline{W}$ 位为低电平，那么串行数据（D7:D0）将被写至由地址位（A6:A0）设定的寄存器。倘若 $R/\overline{W}$ 位为高电平，则位于由地址位（A6:A0）设定的寄存器中的数据将在 SDO 管脚上被读回（见“时序图”部分）。在执行一个回读命令的过程中，寄存器不进行更新且 SDI 上的数据被忽略。

SDO 管脚是一个漏极开路输出，利用一个 200Ω 阻抗拉至地电位。如果寄存器数据通过 SDO 读回，则需要一个外部 2kΩ 上拉电阻器。假如串行数据只被写入而不需读回，则 SDO 管脚可被浮置且无需上拉电阻器。表 16 显示了模式控制寄存器的映射。

12.9 软件复位和初始化

如果采用串行编程，则应在电源接通并实现稳定之后尽快地对模式控制寄存器进行编程。第一个串行命令必须是软件复位，它将把所有的寄存器数据位复位至 0。如需执行软件复位，则应把复位寄存器中的 D7 位写为一个逻辑“1”。在复位 SPI 写命令执行完毕之后，D7 位将被自动重新设定为 0。

在每次软件复位后，需先按照初始化值（表 16）对模式控制寄存器进行编程，方能使 ADC 进入正常的工作模式。对于进入正常工作后的模式控制，应参照表 16 仅对所需的寄存器位进行相应的编程。

12.10 接地和旁路

GAD2175 需要一个具有干净完整接地平面。建议采用一个在 ADC 芯片下方的第一层电路板中布设有一个内部接地平面的多层电路板。印刷电路板的布局应确保数字和模拟信号线尽可能地彼此分开。特别地，应谨慎地避免沿着模拟信号走线或在 ADC 的下方排布数字信号走线。

应在 VDD、OVDD、VCM、VREF、REFH 和 REFL 管脚上采用高质量的陶瓷旁路电容器。旁路电容器必须安放在尽可能靠近器件管脚的地方。特别重要的是布设在 REFH 和 REFL 之间的 0.1μF 电容器。该电容器应与 ADC 位于电路板的同一侧，并尽可能地靠近器件（距离 ≤ 1.5mm）。建议使用 0402 规格的陶瓷电容器。如果在 REFH 和 REFL 之间使用较大的 2.2μF 电容器，则其可距离器件稍微远一点。旁路电容器尽量靠近管脚放置，就近接地。

模拟输入、编码信号和数字输出的布线不得彼此相邻。应采用接地填充物和接地过孔作为势垒把这些信号相互隔离开来。

12.11 热传导

GAD2175 所产生的大部分热量都通过底部裸露衬垫及封装管脚从芯片传递至印刷电路板。为了获得优良的电性能和热性能，该裸露衬垫必须焊接至 PCB 上的一个大的接地衬垫。该衬垫应通过一连串过孔连接至内部接地平面。

13. 寄存器表

寄存器名称	地址 (HEX)	数据位	功能	默认值	初始化值 (HEX)
A0	00	<7>	复位 软复位, 1 有效	0	
		<6:0>	未用, 无关位	X	
A1	01	<7>	DCSOFF 时钟占空比稳定器位 0=打开时钟占空比稳定器 1=关闭时钟占空比稳定器	0	00
		<6>	RAND 数据输出随机化模式控制位 0 = 关闭输出随机化模式 1 = 打开输出随机化模式	0	
		<5>	TWOSCOMP 二进制补码模式控制位 0 = 输出二进制格式 1 = 输出 2 的补码格式	0	
		<4:0>	SLEEP:NAP_2:1:1:NAP_1 休眠/打盹模式控制位 00000 = 正常工作模式 (注 1) 00001 = 通道 1 处于打盹模式 00010 = 通道 2 处于打盹模式 00100 = 通道 3 处于打盹模式 01000 = 通道 4 处于打盹模式 1XXXX = 休眠模式。所有通道都停止工作。	00000	
A2	02	<7:5>	ILVDS2:ILVDS0 LVDS 输出电流控制位 000 = 3.5mA LVDS 输出驱动电流 001 = 4.0mA LVDS 输出驱动电流 010 = 4.5mA LVDS 输出驱动电流 011 = 未使用 100 = 1.75 mA LVDS 输出驱动电流 101 = 2.0 mA LVDS 输出驱动电流 110 = 2.5 mA LVDS 输出驱动电流 111 = 3.0 mA LVDS 输出驱动电流	000	80
		<4>	TERMON LVDS 内部终端电阻选通位 0 = 不使用芯片内部 LVDS 终端电阻 1 = 使用芯片内部 LVDS 终端电阻	0	
		<3>	OUTOFF 输出停用位 0 = 正常数字输出 1 = 关闭数字输出	0	
		<2>	OUTMODE 数字输出模式控制位 0= 双通道 14 位串行模式 1= 单通道 14 位串行模式	0	
		<1:0>	X 未使用	X	
A3	03	<7>	OUTTEST 数字输出测试模式控制位 0= 正常数据输出 1= 输出测试向量	0	
		<6>	X 未用, 无关位。	X	
		<5:0>	TP<13:8> 测试模式数据位 (MSB) 用于设置测试向量的最高位第 13 位 (MSB) 至数据位第 8 位。	0	
A4	04	<7:0>	TP<7:0> 测试模式数据位 (MSB) 用于设置测试向量的最高位第 7 位至数据位第 0 位 (LSB)。	0	
A5	05	<7:6>	内部, 不开放。保持 0000000。	000000 0	
		<1>	编码时钟接收模块停用位, 可配合 Nap 模式使用 0 = 正常工作 1 = 停用	0	

表16 串行编程模式寄存器映射表 (PAR/SER=GND)

14. 典型应用

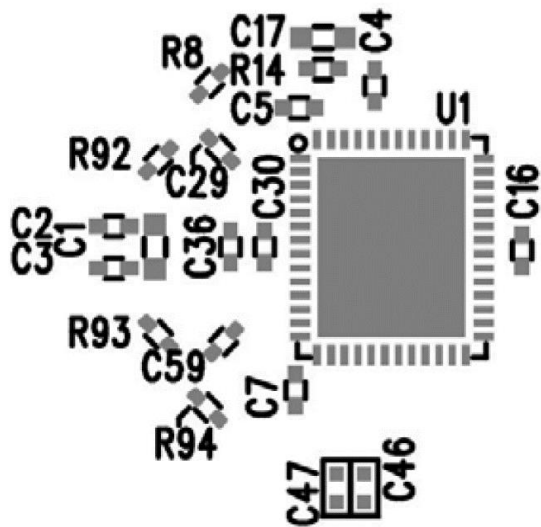


图28 顶层丝印字符图

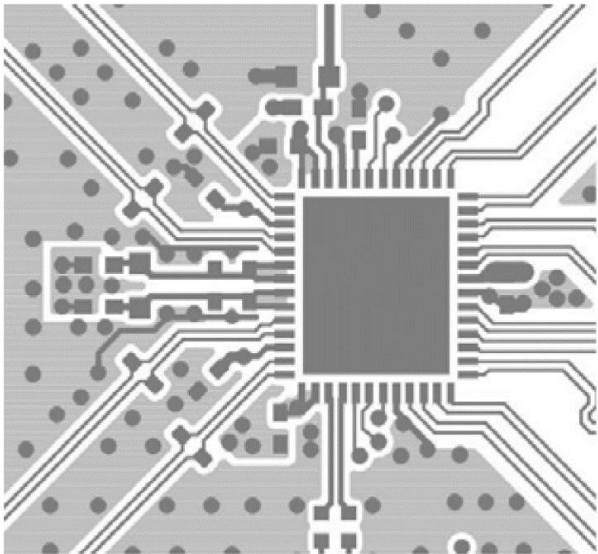


图29 顶面

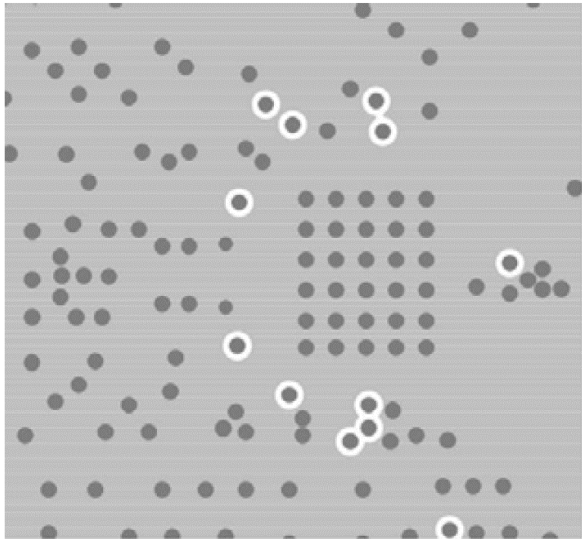


图30 第2内层 (GND)

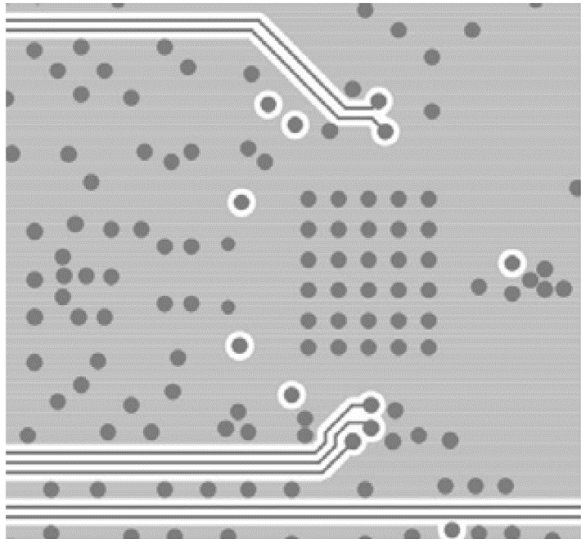


图31 第3内层

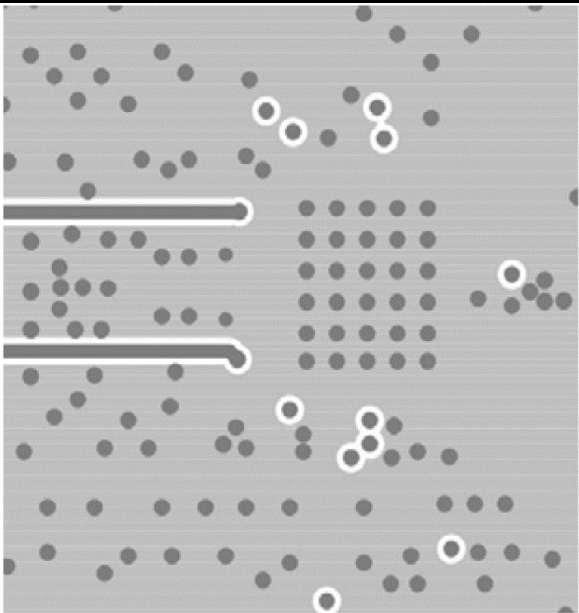
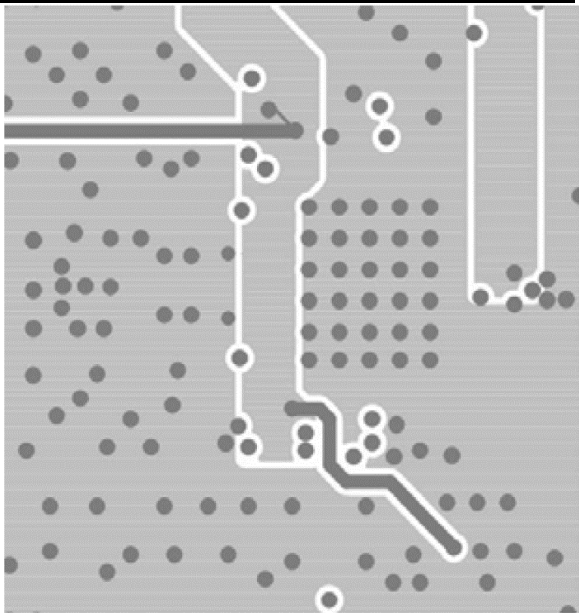


图32 第4内层 (GND)



与33 第5内层 (电源)

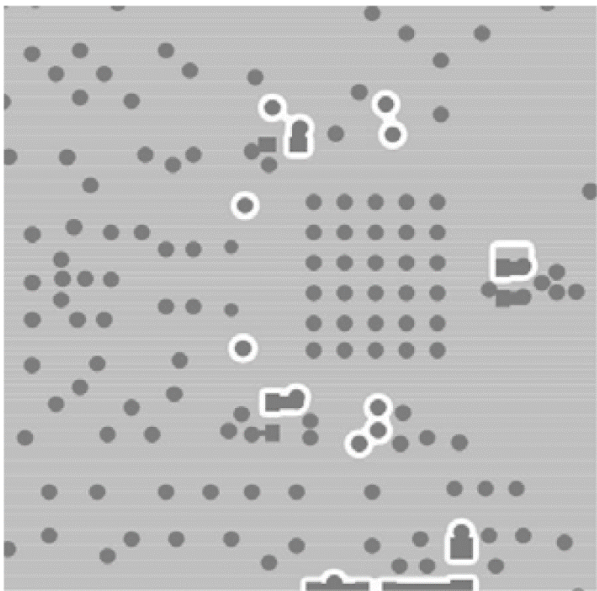


图34 底面

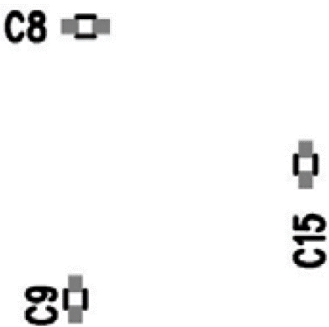


图35 底层丝印字符图

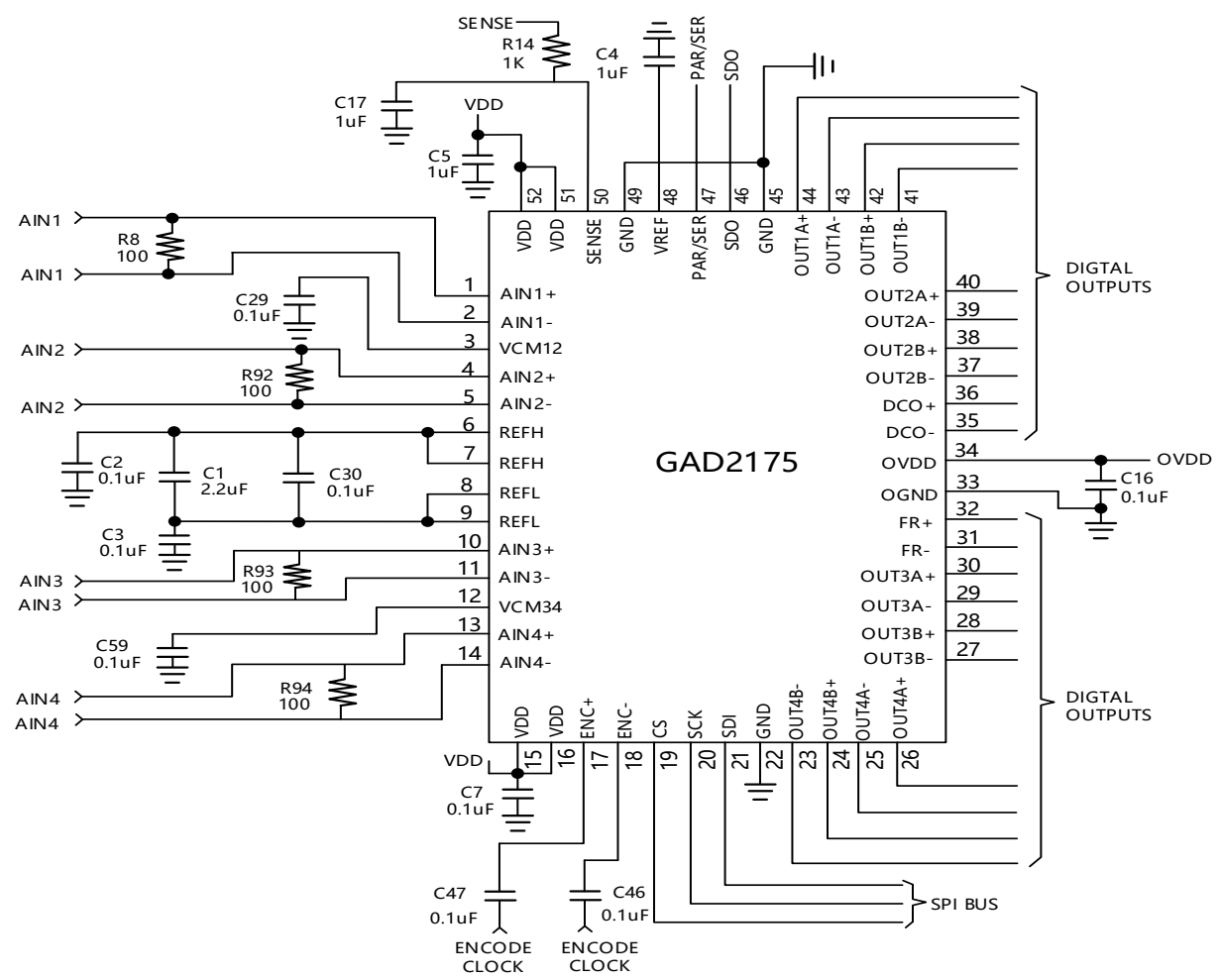


图 36 应用原理图

15. 封装描述

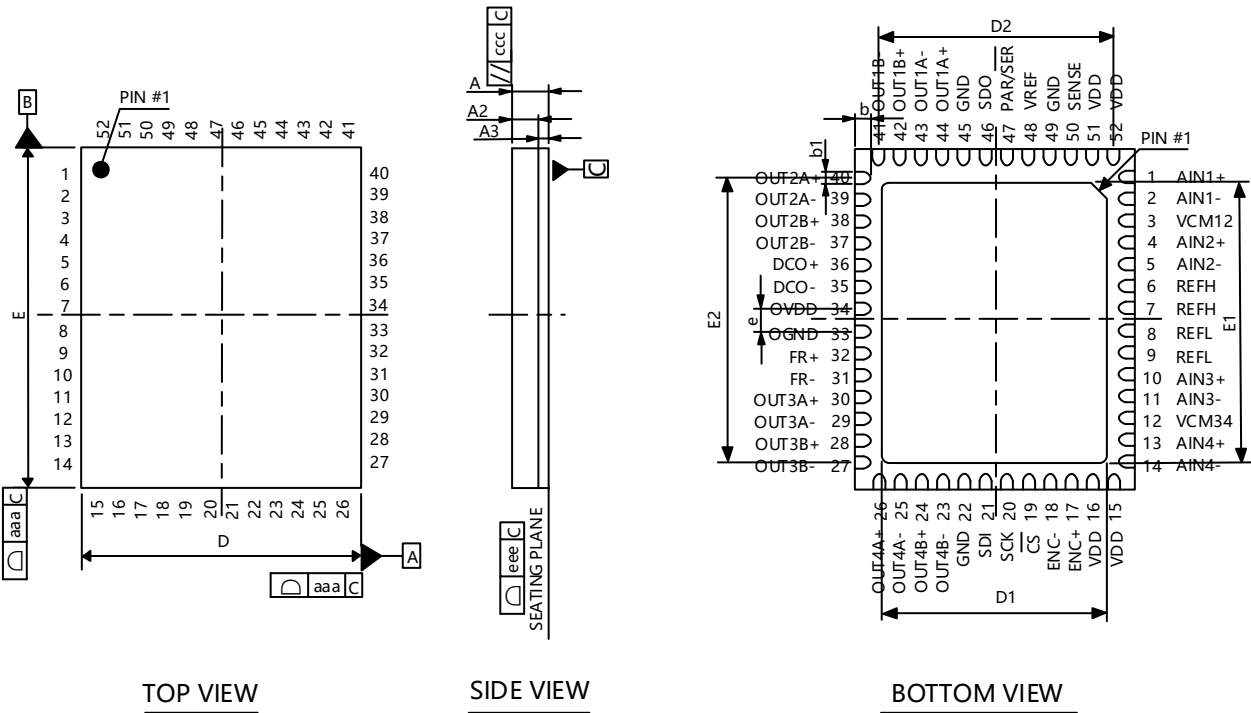


图 37 52 管脚塑料 LGA (7mm×8mm)

ITEM		SYMBOL	DIMENSION(mm)		
			MIN.	NOM.	MAX.
TOTAL HEIGHT		A	0.65	0.7	0.75
MOLD THICKNESS		A2	0.48	0.49	0.5
SBT THICKNESS		A3	0.18	0.21	0.24
LEAD LENGTH		b	0.3	0.4	0.5
LEAD WIDTH		b1	0.2	0.25	0.3
PACKAGE SIZE	X	D	6.9	7.0	7.1
	Y	E	7.9	8.0	8.1
E-PAD SIZE	X	D1	5.31	5.41	5.51
	Y	E1	6.35	6.45	6.55
EDGE LEAD CENTER TO CENTER	X	D2	5.45	5.5	5.55
	Y	E2	6.45	6.5	6.55
LEAD PITCH		e	0.5 BSC		
PACKAGE PROFILE OF A SURFACE		aaa	0.25		
PARALLELIAM		ccc	0.1		
PACKAGE PROFILE OF A SURFACE		eee	0.1		

图 38

16. 订购信息

型号	封装	包装形式	起订量
GAD2175	52-Lead(7mm×8mm) LGA	Tray	490

17. 修订记录

版本	日期	描述
0.1	2022/3	V0.1 创建
0.2	2022/11	V0.2 更新表2工作温度数据
0.3	2023/7	V0.3 更新了5.7章节单通道输出的时序图
0.3.1	2023/10	章节5，增加热阻参数
0.3.2	2023/12	更正了A2寄存器；修改了单线道时序图
1.0	2023/12	1、更新第五章内容排版 2、新增包装形式&起订量