

1. 特性

- 采样率：65MSPS
- 单电源 3V 供电（2.7V 至 3.4V）
- 低功耗：240mW
- 73.5dB SNR
- 89dB SFDR
- 无失码
- 灵活输入：1V_{P-P} 至 2V_{P-P} 范围
- 640MHz 全功率带宽采样保持
- 时钟占空比稳定器
- 停机和打盹模式
- 32 管脚（5mm×5mm）QFN 封装
- 管脚兼容型号：
 - 125MSPS: GAD2255 (14-Bit)
 - 105MSPS: GAD2254 (14-Bit)
 - 80MSPS: GAD2249 (14-Bit)
 - 65MSPS: GAD2228 (12-Bit), GAD2248 (14-Bit)
 - 40MSPS: GAD2247 (14-Bit)
 - 25MSPS: GAD2246 (14-Bit)
 - 10MSPS: GAD2245 (14-Bit)

2. 应用

- 无线和有线宽带通信
- 成像系统
- 超声波
- 光谱分析
- 便携式仪器

3. 概述

GAD2228 是 12 位 65MSPS、低功耗 3V 模数转换器，用于数字化高频、宽动态范围信号。GAD2228 非常适合要求高的成像和通信应用，其交流性能包括 73.5dB 的信噪比 (SNR) 和 89dB 的奈奎斯特频率信号的 SFDR。

直流规范包括 $\pm 1.5\text{LSB}$ INL（典型值）、 $\pm 0.5\text{LSB}$ DNL（典型值）和无温度缺失代码。转换噪声低至 0.34LSBRMS 。

单个 3V 电源允许低功耗运行。单独的输出电源允许输出驱动 0.5V 至 3.3V 逻辑。

单端 CLK 输入控制转换器操作。一个可选的时钟占空比稳定器允许在全速范围内的时钟占空比高性能运行。

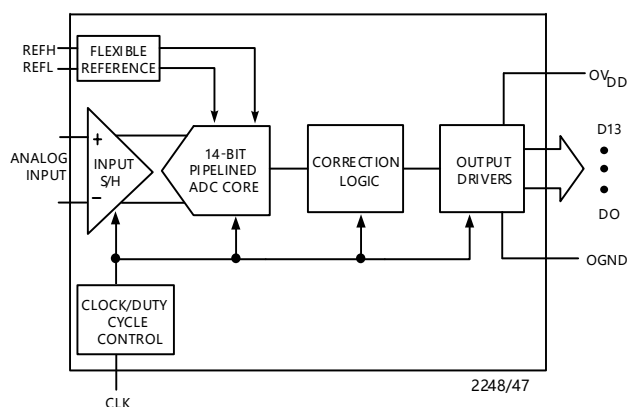


图 1 功能框图

目 录

1. 特性	1
2. 应用	1
3. 概述	1
4. 绝对最大额定值	3
5. 静态特性	3
6. 模拟输入特性	4
7. 动态特性	4
8. 内部参考特性	4
9. 数字输入/输出	5
10. 电源管理	5
11. 时序特性	6
12. 典型性能特性	7
13. 应用信息	9
14. 管脚分布及管脚功能	14
15. 封装形式和外形尺寸	15
16. 订购信息	16
17. 修订记录	16

4. 绝对最大额定值

OVDD = VDD (注 1, 2)

参数	范围	单位
最大供电电压 (VDD)	4	V
数字输出地电压 (OGND)	-0.3 ~ 1	V
模拟输入电压 (注 3)	-0.3 ~ V _{DD} +0.3	V
数字输入电压	-0.3 ~ V _{DD} +0.3	V
数字输出电压	-0.3 ~ OV _{DD} +0.3	V
功耗	1500	mW
工作温度范围	-40 ~ 85	°C
存储温度范围	-65 ~ 125	°C

表 1

5. 静态特性

●表示适用于整个工作温度范围内的规格，否则规格为 T_A = 25°C。（注 4）

符号	参数	测试条件		最小值	典型值	最大值	单位
	Resolution (No Missing Codes)		●	12			Bits
INL	Integral Linearity Error	Differential Analog Input (注 5)	●		±1.5		LSB
DNL	Differential Linearity Error	Differential Analog Input	●		±0.5		LSB
E _o	Offset Error	(注 6)	●		±2		mV
E _g	Gain Error	Internal Reference	●		4.65		%FS
	Offset Drift			±10			mV/°C
	Full-Scale Drift	Internal Reference		±30			ppm/°C
		External Reference		±5			ppm/°C
	Transition Noise	SENSE = 1V		0.34			LSBRMS

表 2

6. 模拟输入特性

●表示适用于整个工作温度范围内的规格，否则规格为 $T_A = 25^\circ\text{C}$ 。（注 4）

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{IN}	Analog Input Range ($A + -A -$)	$2.85\text{V} < V_{DD} < 3.4\text{V}$ (注 7)	●	± 0.5 to ± 1		V
$V_{IN,CM}$	Analog Input Common Mode	Differential Input (注 7)	●	0.3	2.4	V
I_{IN}	Analog Input Leakage Current	+ -	●	0.1	2.45	μA
I_{SENSE}	SENSE Input Leakage	$0\text{V} < \text{SENSE} < 1\text{V}$	●		0.13	μA
IMODE	MODE Pin Leakage		●	0.13	0.2	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time			0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Time Jitter			0.2		ps_{RMS}
CMRR	Analog Input Common Mode Rejection Ratio			78		dB
	Full Power Bandwidth	图 10、图 11、图 12 测试电路		640		MHz

表 3

7. 动态特性

●表示适用于整个工作温度范围内的规格，否则规格为 $T_A = 25^\circ\text{C}$ 。AIN = -1dBFS（注 4）

符号	参数	测试条件	最小值	典型值	最大值	单位
SNR	Signal-to-Noise Ratio	5MHz Input		72.98		
		30MHz input		72.51		
		70MHz Input	●	71.14		
		140MHz Input		68.47		
SFDR	Spurious Free Dynamic Range	5MHz Input		91.8		
		30MHz Input		91.5		
		70MHz Input	●	85.7		
		140MHz Input		76.18		
S/(N+D)	信号对噪声加失真比	5MHz Input		72.92		
		30MHz Input		72.56		
		70MHz Input	●	70.96		
		140MHz Input		67.73		
IMD	互调失真	fIN1 = 28.2MHz fIN2 = 26.8MHz		97		

表 4

8. 内部参考特性

符号	参数	测试条件	最小值	典型值	最大值	单位
	VCM Output Voltage	$I_{OUT} = 0$	1.475	1.5	1.525	V
	VCM Output Tempco			± 25		ppm/ $^\circ\text{C}$
	VCM Line Regulation	$2.85\text{V} < V_{DD} < 3.4\text{V}$		1.4		mV/V
	VCM Output Resistance	$-1\text{mA} < I_{OUT} < 1\text{mA}$		9.7		Ω

表 5 (注 4)

9. 数字输入/输出

●表示适用于整个工作温度范围内的规格，否则规格为 TA = 25℃。(注 4)

符号	参数	测试条件		最小值	典型值	最大值	单位
LOGIC INPUTS (CLK, OE, SHDN)							
V _{IH}	High Level Input Voltage	VDD = 3V	●	2			V
V _{IL}	Low Level Input Voltage	VDD = 3V	●			0.8	V
I _{IN2}	Input Current	V _{IN} = 0V to VDD	●	-10		10	uA
C _{IN}	Input Capacitance	(注 7)				3	pF
LOGIC OUTPUTS							
OVDD = 3V							
COZ	Hi-Z Output Capacitance	OE = High (注 7)				3	pF
I _{SOURCE}	Output Source Current	VOUT = 0V			50		mA
I _{SINK}	Output Sink Current	VOUT = 3V			50		mA
V _{OH}	High Level Output Voltage	IO = -10mA	●		2.89		V
		IO = -200mA			2.96		
V _{OL}	Low Level Output Voltage	IO = 10mA	●		0.1		V
		IO = 1.6mA			0.34		
OVDD = 2.5V							
V _{OH}	High Level Output Voltage	IO = -200mA			2.49		V
V _{OL}	Low Level Output Voltage	IO = 1.6mA			0.09		V
OVDD = 1.8V							
V _{OH}	High Level Output Voltage	IO = -200mA			1.79		V
V _{OL}	Low Level Output Voltage	IO = 1.6mA			0.09		V

表 6

10. 电源管理

●表示适用于整个工作温度范围内的规格，否则规格为 TA = 25℃。(注 4)

符号	参数	测试条件		最小值	典型值	最大值	单位
VDD	Analog Supply Voltage	(注 9)	●	2.85	3	3.4	V
OVDD	Output Supply Voltage	(注 9)	●	0.5	3	3.6	V
IVDD	Supply Current		●		81		mA
P _{DISS}	Power Dissipation		●		243		mW
P _{SHDN}	Shutdown Power	SHDN = H, OE=H, No CLK			32		mW
P _{NAP}	Nap Mode Power	SHDN = H, OE = L, No CLK			56		mW

表 7

11. 时序特性

●表示适用于整个工作温度范围内的规格，否则规格为 TA = 25℃。(注 4)

符号	参数	测试条件		最小值	典型值	最大值	单位
f _s	Sampling Frequency	(注 9)	●	1		65	MHz
t _L	CLK Low Time	Duty Cycle Stabilizer	●	3.8	4	500	ns
		Off Duty Cycle Stabilizer On (注 7)	●	3	4	500	ns
t _H	CLK High Time	Duty Cycle Stabilizer	●	3.8	4	500	ns
		Off Duty Cycle Stabilizer On (注 7)	●	3	4	500	ns
t _{AP}	Sample-and-Hold Aperture Delay				0		ns
t ₀	CLK to DATA delay	CL = 5pF (注 7)	●	1.4	2.7	5.4	ns
	Data Access Time After OE [–]	CL = 5pF (注 7)	●		4.3	10	ns
	BUS Relinquish Time	(注 7)	●		3.5	8.5	ns
Pipeline Latency				7			Cycles

表 8

注 1：超过绝对最大额定值的应力可能会对设备造成永久性损坏。长期暴露在任何绝对最大额定条件下可能会影响设备的可靠性和寿命。

注 2：所有电压值与接地有关，GND 和 OGND 连接在一起（除非另有说明）。

注 3：当这些引脚电压低于 GND 或高于 VDD 时，它们将被内部二极管钳制。本产品可在无闭锁的情况下，处理低于 GND 或高于 VDD 大于 100mA 的输入电流。

注 4：VDD=3V，F 采样=125MHz，输入范围=2VP-P，差分驱动，时钟占空比稳定器打开，除非另有说明。

注 5：积分非线性定义为代码与通过传递曲线实际端点的直线之间的偏差。从量化带的中心测量偏差。

注 6：偏移误差是当输出代码在 00 0000 0000 0000 和 11 1111 1111 1111 之间闪烁时，从-0.5 LSB 测量的偏移电压。

注 7：由设计保证，不接受试验。

注 8：VDD=3V，fSAMPLE=125MHz，带差动驱动器的输入范围=1VP-P。

注 9：推荐操作条件。

12. 典型性能特性

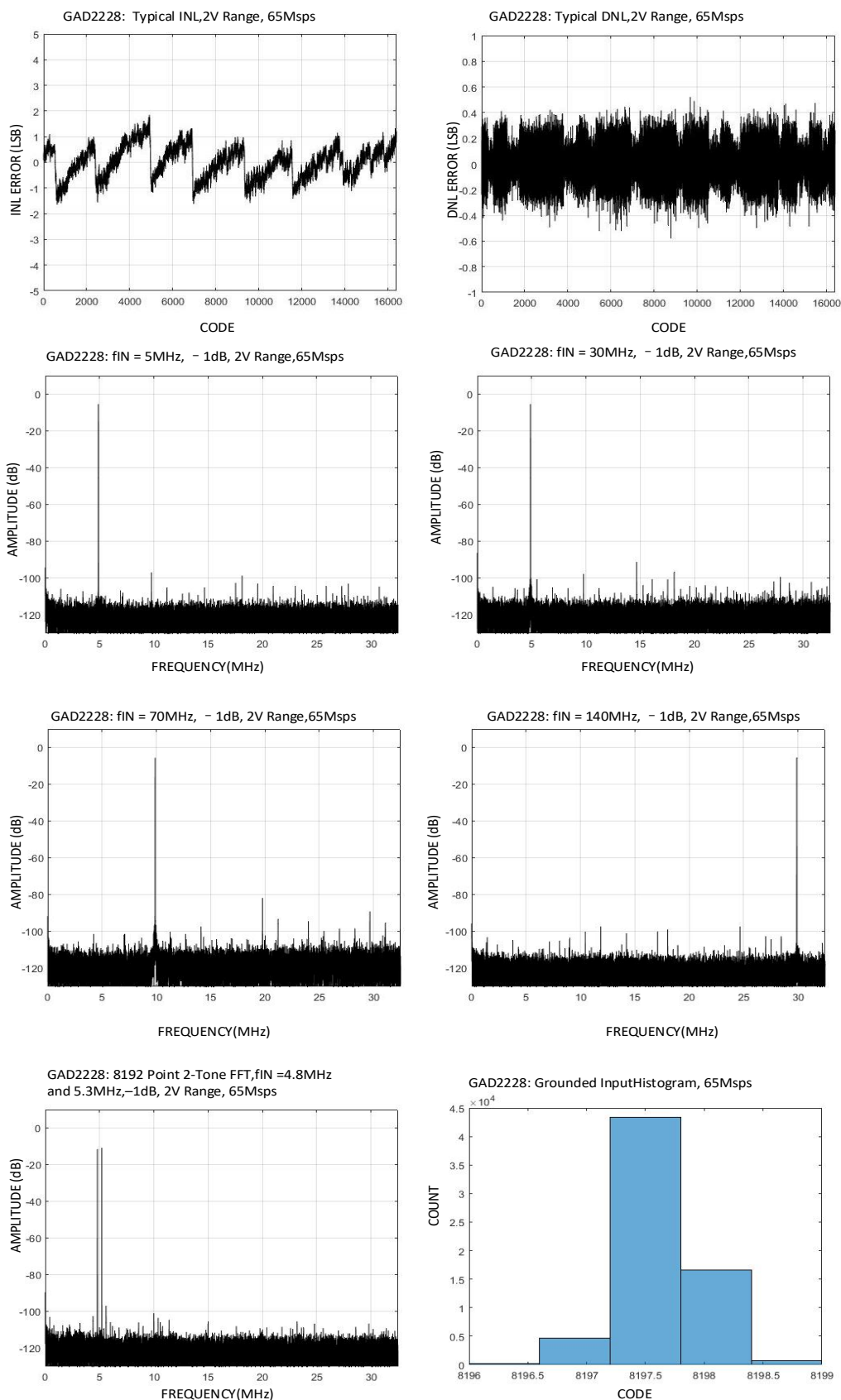


图 2

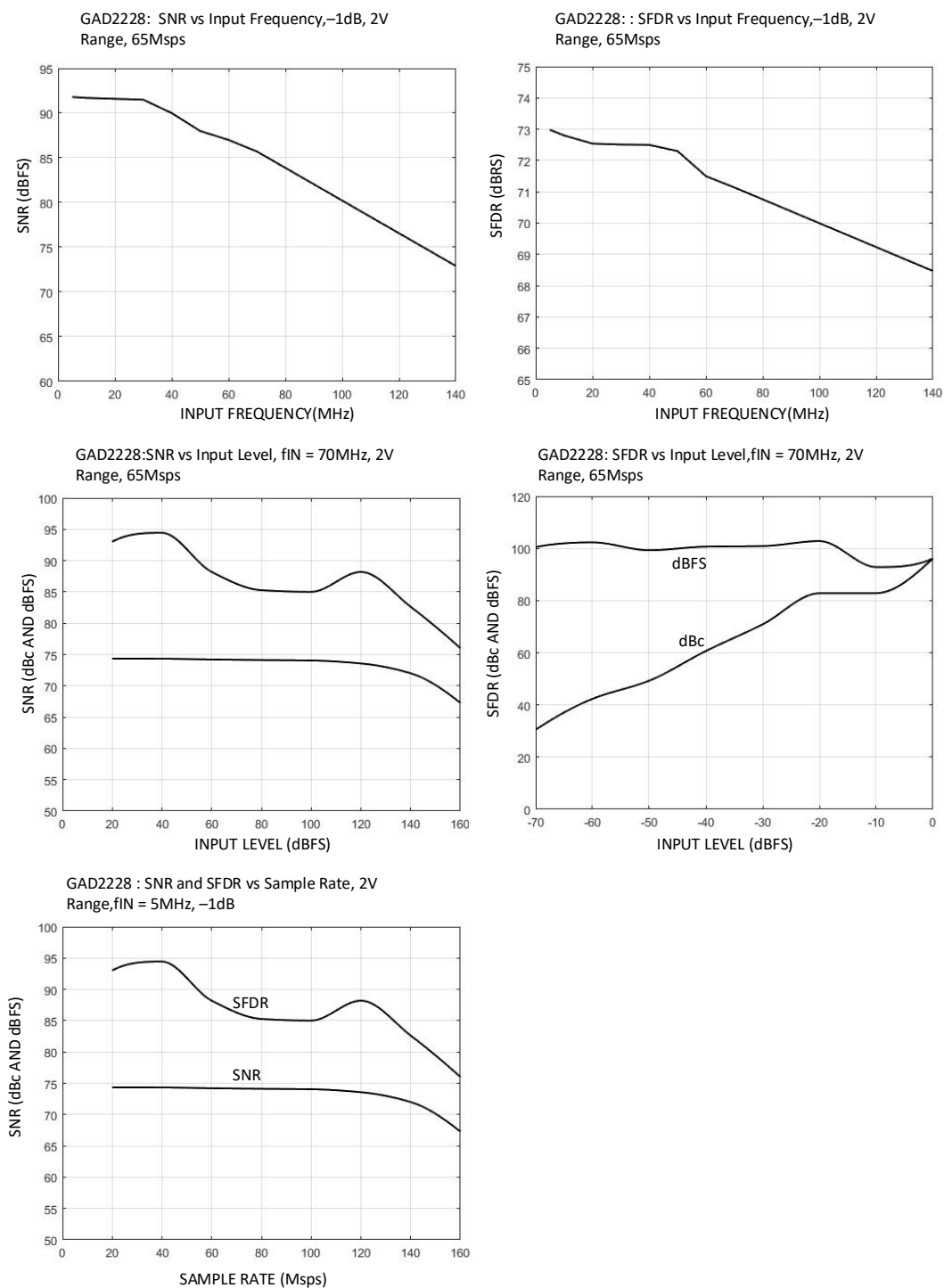


图 3

13. 应用信息

13.1 功能框图

下图显示了GAD2228的功能框图。

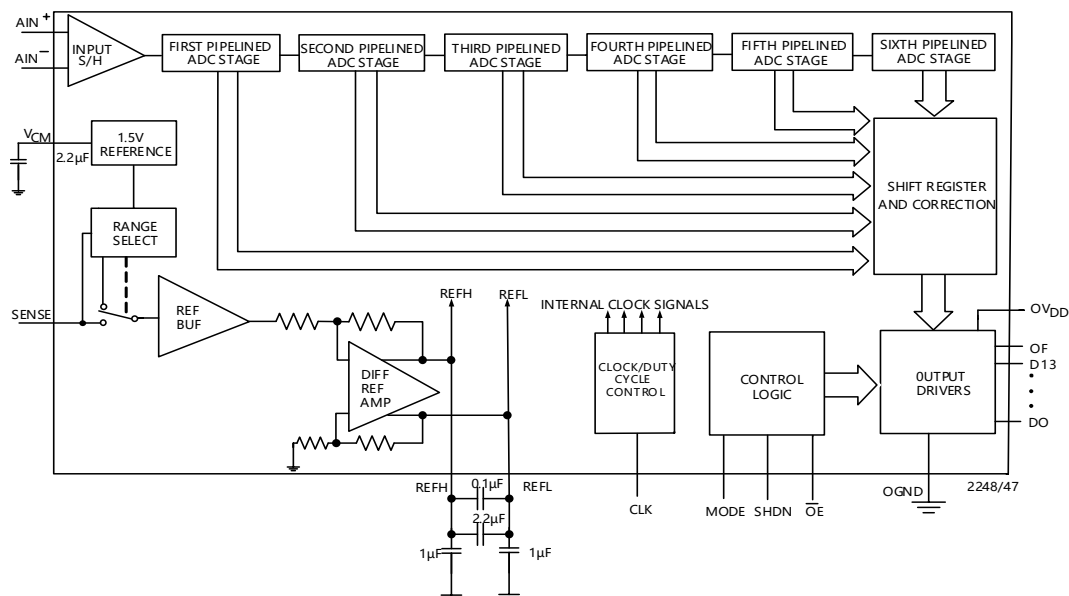


图 4 GAD2228功能框图

13.2 时序图

GAD2228的时序图如下图所示

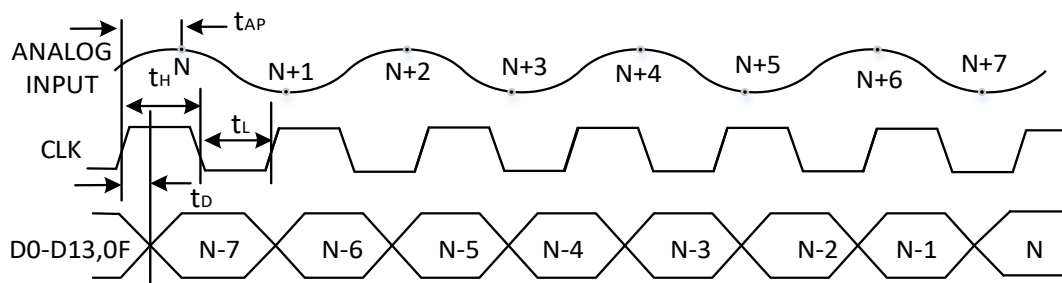


图 5 GAD2228时序图

13.3 输入驱动阻抗

与所有高性能、高速模数转换器一样，GAD2228 的动态性能会受到输入驱动电路的影响，特别是二次谐波和三次谐波。源阻抗和电抗会影响 SFDR。在 CLK 下降沿，采样保持电路将 3.5pF 采样电容器连接到输入引脚并开始采样周期。当 CLK 上升时，采样周期结束，保持采样电容器上的采样输入。理想情况下，输入电路应足够快，以便在采样周期 $1/(2f_{CODE})$ 期间对采样电容器完全充电；然而，这并不总是可能的，并且不完全沉降可能会降低 sfdr。采样故障被设计成尽可能线性的，以最小化不完全沉降的影响。为了获得最佳性能，建议每个输入的源阻抗小于或等于 100Ω。源阻抗应与差分输入相匹配。不匹配会导致更高的偶次谐波，尤其是二次谐波。

13.4 输入驱动电路

图 6 显示了 GAD2228 由带有中心抽头次级的射频变压器驱动。二次中心抽头采用 VCM 直流偏置，将 ADC 输入信号设置在最佳直流电平。在变压器次级端接是可取的，因为这为采样和保持引起的充电故障提供了共模路径。图 6 显示了 1:1 匝比变压器。如果每个 ADC 输入的源阻抗不超过 100Ω ，则可以使用其他匝数比。使用变压器的缺点是低频响应损失。大多数小型射频变压器在低于 1MHz 的频率下性能较差。图 7 演示了使用差分放大器将单端输入信号转换为差分输入信号。这种方法的优点是提供低频输入响应；然而，大多数运放的有限增益带宽将限制高输入频率下的 SFDR。

图 8 显示了单端输入电路。模拟输入所看到的阻抗应该匹配。如果需要低失真，则不建议使用此电路。模拟输入端上的 25Ω 电阻和 12pF 电容器有两个用途：将驱动电路与采样端隔离，并保持充电故障，限制转换器输入端的宽带噪声。

对于 70MHz 以上的输入频率，建议使用图 9、图 10 和图 12 输入电路。巴伦变压器比磁通耦合中心抽头变压器具有更好的高频响应。耦合电容允许模拟输入在 1.5V 时有直流偏置。在图 11 中，串联电感是阻抗匹配元件，可以最大化 ADC 带宽。

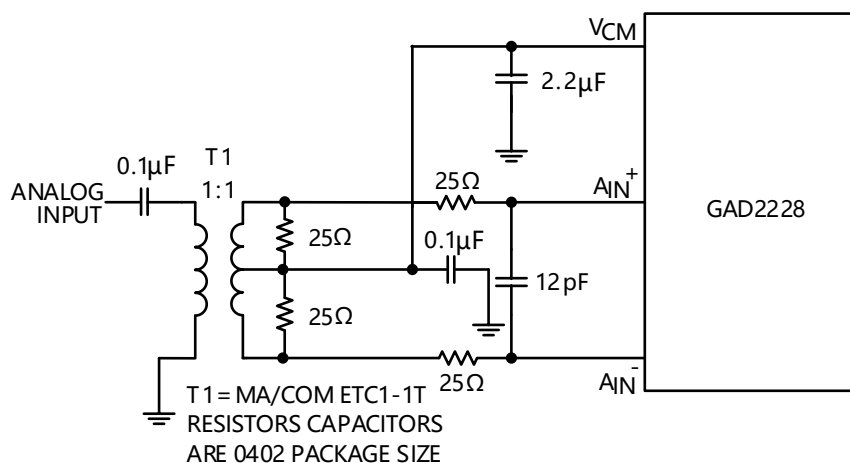


图 6 使用变压器的单端到差分转换

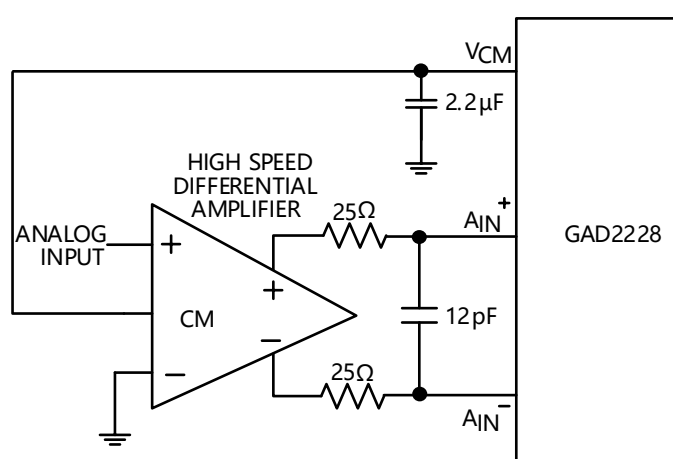


图 7 带放大器的差动驱动

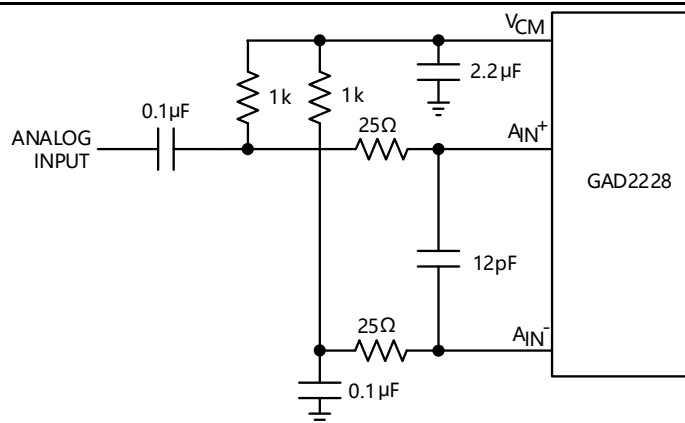


图 8 单端驱动

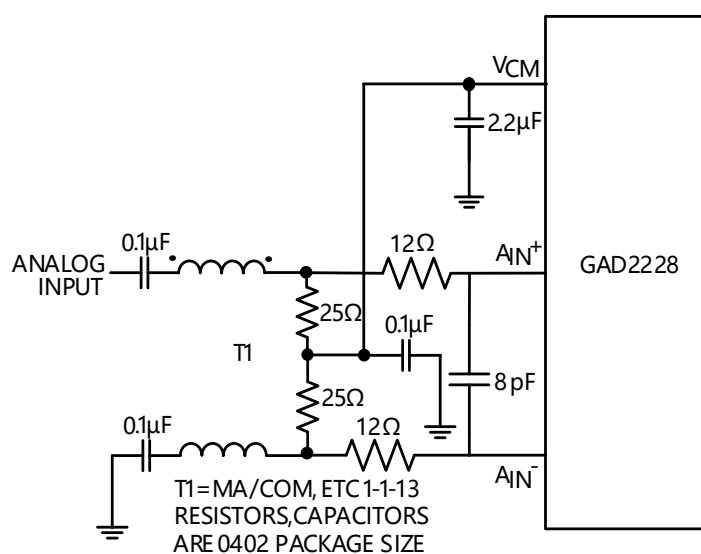


图 9 70MHz至170MHz之间输入频率的推荐前端电路

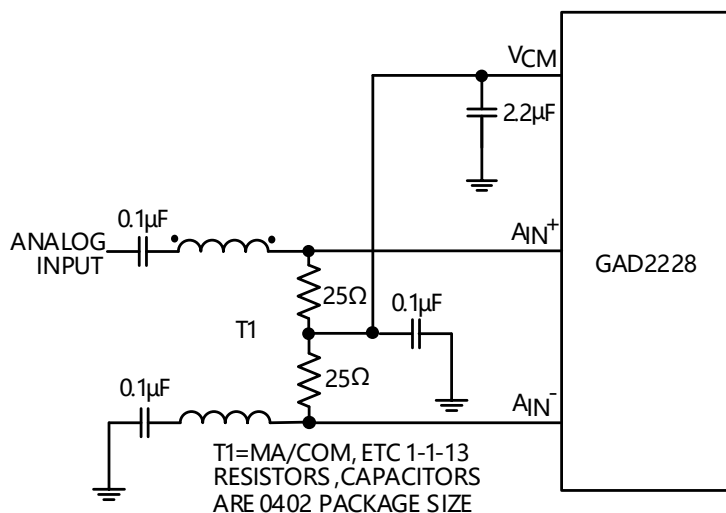


图 10 输入频率在170MHz和300MHz之间的推荐前端电路

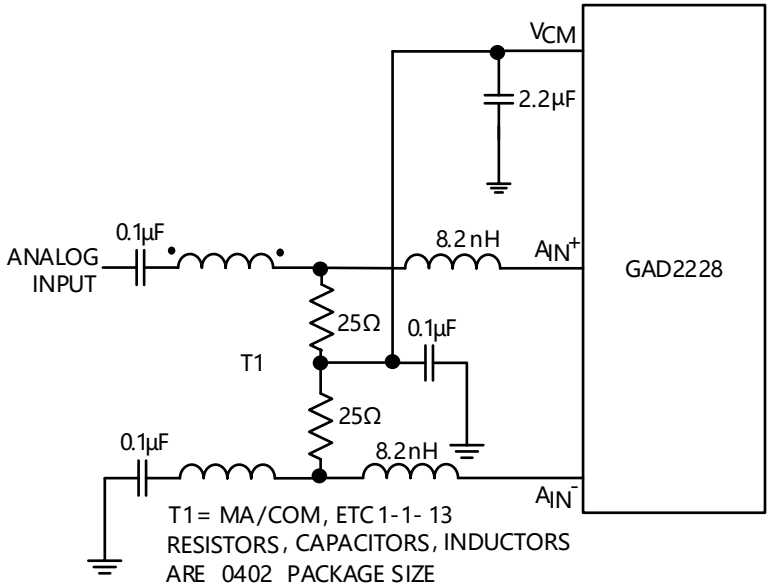


图 11 300MHz以上输入频率的推荐前端电路

13.5 数字输出

下表显示了模拟输入电压、数字数据位和溢出位之间的关系。

AIN ⁺ -AIN ⁻ (2V Range)	OF	D13~D0 (Offset Binary)	D13~D0 (2's Complement)
>+1.000000V	1	11 1111 1111 1111	01 1111 1111 1111
+0.999878V	0	11 1111 1111 1111	01 1111 1111 1111
+0.999756V	0	11 1111 1111 1110	01 1111 1111 1110
+0.000122V	0	10 0000 0000 0001	00 0000 0000 0001
0.000000V	0	10 0000 0000 0000	00 0000 0000 0000
-0.000122V	0	01 1111 1111 1111	11 1111 1111 1111
-0.000244V	0	01 1111 1111 1110	11 1111 1111 1110
-0.999878V	0	00 0000 0000 0001	10 0000 0000 0001
-1.000000V	0	00 0000 0000 0000	10 0000 0000 0000
<-1.000000V	1	00 0000 0000 0000	10 0000 0000 0000

表 9

13.6 输出数据格式

使用模式管脚，可以选择GAD2228并行数字输出作为偏移二进制或2的补码格式。将模式连接到GND或1/3V_{DD}选择偏移二进制输出格式。连接模式到2/3V_{DD}或V_{DD}选择2的补码输出格式。外部电阻分压器可用于设置1/3V_{DD}或2/3V_{DD}逻辑值。下表显示了模式管脚的逻辑状态。

模式管脚	输出模式	时钟占空比循环稳定器
0	偏移二进制	关
1/3V _{DD}	偏移二进制	开
2/3V _{DD}	二进制补码	开
V _{DD}	二进制补码	关

表 10

13.7 接地和旁路滤波

GAD2228需要一个带有干净、未损坏接地平面的印刷电路板。建议使用具有内部接地板的多层板。印刷电路板的布局应确保数字和模拟信号线尽可能分开。特别是，应注意不要在模拟信号轨道旁边或ADC下面运行任何数字轨道。高质量的陶瓷旁路电容器应用于VDD、OVDD、VCM、REFH和REFL管脚。旁路电容器必须尽可能靠近管脚。尤其重要的是REFH和REFL之间的0.1uF电容器。该电容器应尽可能靠近装置（1.5mm或更小）。建议使用0402型陶瓷电容器。REFH和REFL之间的2.2uF大电容器可以稍远一些。连接管脚和旁路电容器的线路必须保持短，并且应尽可能宽。GAD2228差分输入应并联运行，并相互接近。输入轨迹应尽可能短，以尽量减少电容和噪声拾取。

13.8 散热

GAD2228 产生的大部分热量通过底部裸露的衬垫和封装导线从模具传递到印刷电路板上。为了获得良好的电气和热性能，外露的焊盘应焊接到PC板上的大型接地焊盘上。所有接地插脚必须连接到足够大面积的接地平面上。

14. 管脚分布及管脚功能

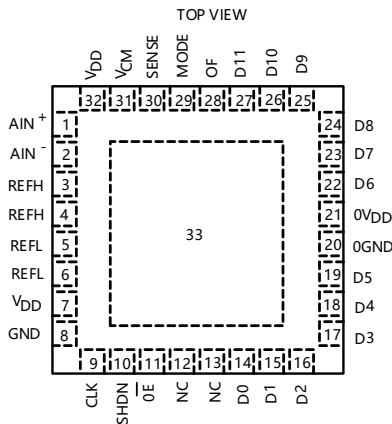


图 12

管脚		描述
名称	序号	
AIN+	1	正差分模拟输入
AIN-	2	负差分模拟输入
REFH	3, 4	ADC高参考。短接在一起，用一个0.1uF陶瓷芯片电容器尽可能靠近引脚5、6旁路。另外，使用额外的2.2uF陶瓷芯片电容器旁路至引脚5、6，并使用1uF陶瓷芯片电容器接地。
REFL	5, 6	ADC低参考电压。短接在一起，用一个0.1uF陶瓷芯片电容器尽可能靠近引脚3、4旁路。另外，使用额外的2.2uF陶瓷芯片电容器旁路至引脚3、4，并使用1uF陶瓷芯片电容器接地。
VDD	7, 32	3V电源。用0.1uF陶瓷芯片电容器旁路接地。
GND	8	ADC电源接地
CLK	9	时钟输入。输入样本从上升沿开始。
SHDN	10	关机模式选择引脚。将SHDN连接到GND，将OE连接到GND，可以使输出正常工作。将SHDN连接到GND，将OE连接到VDD，可使输出在高阻抗下正常工作。将SHDN连接到VDD和OE连接到GND会导致NAP模式，其输出为高阻抗。将SHDN连接到VDD和OE连接到VDD会导致高阻抗输出的睡眠模式。
OE	11	输出启用引脚。参见SHDN引脚功能
D0-D11	14, 15, 16, 17, 18, 19, 22, 23, 24, 25, 26, 27	数字输出。D11是MSB
NC	12, 13	
OGND	20	输出驱动器接地
OVDD	21	输出驱动器的正电源。用0.1uF陶瓷片电容器旁路接地。OVDD可以是0.5v到3.6V。
OF	28	过流/欠流输出。当流量过大或过小时为高。
MODE	29	输出格式和时钟占空比稳定器选择引脚。将模式连接到GND选择偏移二进制输出格式并关闭时钟占空比稳定器。1/3 VDD选择偏移二进制输出格式并打开时钟占空比稳定器。2/3 VDD选择2的补码输出格式并打开时钟占空比稳定器。VDD选择2的补码输出格式并关闭时钟占空比稳定器。
SENSE	30	参考编程引脚。将Sense连接到VCM选择内部参考和A.0.5V输入范围。VDD选择内部参考和-1V输入范围。应用于感测的大于0.5V小于1V的外部参考选择VSENSE的输入范围。最大有效输入范围。
VCM	31	1.5V共模偏置输出和输入。用2.2uF陶瓷片电容器旁路接地。
GND	Exposed Pad Pin 33	ADC电源接地。包装底部裸露的焊盘需要焊接到地上

表 11

15. 封装形式和外形尺寸

本产品采用 32 管脚的 QFN 封装，封装尺寸如下图所示（图中尺寸单位为 mm）：

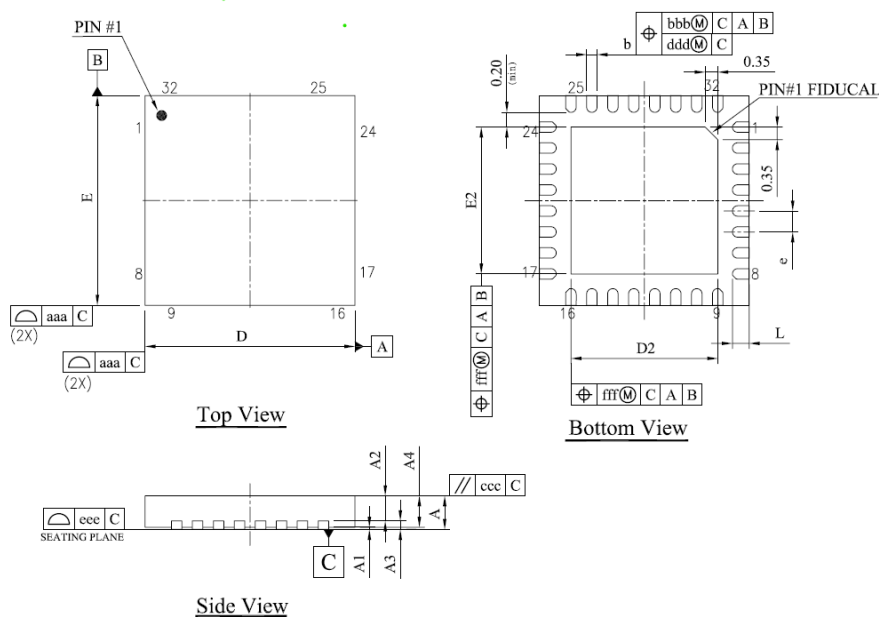


图 13 32 管脚 QFN 封装尺寸

ITEM		Symbol	DIMENSION(mm)		
			MIN.	NOM.	MAX.
Total height		A	0.70	0.75	0.80
Stand off		A1	0	0.02	0.05
Mold thickness		A2	0.53	0.55	0.56
Leadframe thickness		A3	—	0.20REF	—
Mold+Leadframe thickness+Mold gap		A4	0.70	0.73	0.80
Lead width		b	0.18	0.25	0.30
Package size	X	D	4.90	5.00	5.10
	Y	E	4.90	5.00	5.10
E-PAD Size	X	D2	3.40	3.50	3.60
	Y	E2	3.40	3.50	3.60
Lead length		L	0.35	0.40	0.45
Lead pitch		e	—	0.50TYP	—
Package profile of a surface		aaa	0.15		
Lead position		bbb	0.10		
Parallelism		ccc	0.10		
Lead position		ddd	0.05		
Package profile of a surface		eee	0.08		
Epad position		fff	0.10		

表 12 32Pin-QFN 封装尺寸

16. 订购信息

型号	封装	包装形式	起订量
GAD2228	QFN32 5mmx5mm	Tray	490

17. 修订记录

版本	日期	描述
0.1	2023/04	Draft、版式调整
1.0	2023/12	1、更新部分中文专业术语 2、新增起订量&包装形式信息 3、更新驱动电流参数
1.1	2024/05/30	1、更新《8.内部参考特性》数据
1.2	2024/09/19	1、更新封装信息 2、更新同平台管脚兼容产品型号
1.3	2025/2/20	更新工作温度范围